

学 位 論 文 題 名

半導体製造における歩留り向上技術の研究

(Establishment of Yield Improvement Technology for Semiconductor
Manufacturing)

学位論文内容の要旨

モバイル機器やデジタル家電の普及と、これらの電子機器製品に搭載される半導体チップ数の増加にともない、半導体チップ製造数は増加の一途にある。半導体産業の発展を支えるため、デバイスメーカーでは、これまで、デバイスの微細化によるコスト低減、機能向上を進めてきた。しかし、デバイスの微細化は一方で、製造プロセスの複雑化を招き、製造拠点では、これまでに経験したことのない、さまざまな欠陥が製造プロセスで発生し、歩留り向上の阻害要因となっている。このような状況の中で、市場の要求に合わせてコスト競争力を持つ製品を投入するために、歩留り向上の重要性がますます高まってきている。本論文では、半導体の主要製品の一つであるシステム LSI 製品の設計・製造における歩留り向上に関連する従来技術の取組みと課題を明らかにし、これらの課題に対する解決策について論じている。

半導体製造拠点では、ウエハーと呼ばれるシリコン基板上で、1000 個程度の製品チップを同時に製造する。製品チップの加工には、500 ステップにも及ぶ複雑な加工処理が必要となる。このため、加工が仕様通りに実現できず、不良となる製品が発生する。近年、微細化にともない、不良の種類は増加の一途にある。このため、これらの不良に対する、「原因の究明」、「原因の対策」、「対策効果の確認」、「対策の適用」といった、歩留り向上対策を素早く実施することがますます重要となっている。また、近年では、半導体産業の水平分業化が進んだ結果、複数企業の製造拠点に製造を委託するケースが増えており、製造装置や製造プロセス条件が異なる製造拠点間で、均質な製品を製造することも重要となっている。すなわち、近年のシステム LSI 製品のウエハー製造において、複数の製造拠点で製造された同一製品の工程ごとの異物数を定量化し、対策工程を明らかにすることが求められている。従来の工程異物数の定量化手法の一つとして、工程の途中でウエハー上の異物数を検査するインライン異物検査がある。しかし、インライン異物検査では、複数の製造拠点間で同一の尺度で異物数が特定されないうえに、検出された異物が電氣的に不良となるかの判定が困難である。このために、工程異物数の推定精度が低くなるという問題点がある。一方、工程診断 TEG(Test Element Group) と呼ばれる専用のウエハー用いた工程異物数の定量化方法がある。この方法では、製品ではないウエハーを製造拠点で製造する必要があるため、この製造数は限られる。このため、製品ウエハーで突発的に発生するウエハー単位の不良原因の究明ができないという問題がある。その他に、FB(Fail Bit) テスト(メモリ部を対象とした電氣的テスト手法)の結果として得られる FB モード別不良率と、各工程の FB モードごとの異物感度(設計レイアウトを用いた CAA(Critical Area Analysis) シミュレーションにより算出)から、工程ごとの異物数を統計的に推定する FB-CAA 法が提案されている。しかし、FB-CAA 法の実用化に関する報告事例は無く、実用化に向けた課題は明らかとなっていない。FB-CAA 法は、工程異物数をウエハーごとに定量化できること、また、複数の製造拠点で製造された同一製品の工程異物数を同一の尺度で比較できることから、歩留り向上活動の支援に有効であると判断し、本研究では FB-CAA 法の実用化に取り組んだ。従来の工程異物数推定アルゴリズムの精度検証の結果、従来手法では、計算上の制約により、工程異物数を高精度に推定できないことを確認した。この検証結果から明らかとなった従来手法の問題点を解決するために、線形計画法を用いた工程異物数推定アルゴリズムを定式化し、この推定結果の精度検証を行った。検証用データを用いて精度検証を行った結果、真値と推定値との誤差は 5 パーセント以下と小さく、提案手法により、対策工程の異物数を高精度に推定できることを確認した。また、実製品に提案手法を適用して算出した工程異物数と工程診断 TEG により算出した工程異物数との比較により、提案手法の製造拠点への適用の妥当性を確認した。その後、提案アルゴリズムに基づく工程異物数推定システムの開発と製造拠点への適用を行い、突発不良発生時の不良原因工程の早期発見や複数拠点

間の製品管理など、歩留り向上対策に有効であることを実証した。

さらに、システム LSI 製品の歩留り向上のためには、設計段階で製造容易性を考慮することも重要となる。ここで、システム LSI 製品の SRAM 部はチップの中で最も配線が密集しているため、歩留り低下の主要因の一つとなっている。このため、SRAM 部には、一般に、冗長回路と呼ばれる予備の回路をあらかじめ設置し、不良発生時に不良回路を冗長回路に置き換える SRAM 救済が適用される。システム LSI 製品に搭載される SRAM は、近年、PC やスマートフォン、カーナビゲーションなどといった製品の高機能化、多機能化にともない、数百から数千種類に増加している。通常、SRAM 救済を行うためには、SRAM ごとに、メモリセルの不良を判定する不良判定回路や不良回路を冗長回路に置き換える fuse などの周辺回路が必要となる。このため、1 チップに搭載される SRAM 数が増えるほど、周辺回路が増加し、この結果、チップ面積が増加する。したがって、近年のシステム LSI 製品では救済回路搭載時のチップ面積の縮減が求められている。このチップ面積縮減のための SRAM 救済方式の一つとして、複数の SRAM 間で 1 つの fuse を共有することで fuse 面積の縮減を図る方式が提案されている。この従来方式では、fuse を共有化するために、全ての SRAM と 1 つの fuse とをシリアルに接続する。この結果、SRAM ごとの fuse データ転送には少なくとも SRAM 搭載数分のサイクルが必要となり、fuse データ転送時間の増加を招いていた。そこで、fuse 面積と fuse データ転送時間の縮減のため、fuse の共有化と fuse データの平行転送を実現する新しい SRAM 救済方式の開発に取り組んだ。fuse の共有化と fuse データの平行転送を実現するため、SRAM を複数のグループに分類し（仮想 e-memory グループ）、この仮想 e-memory グループごとに 1 つの fuse を搭載する新しい救済方式を提案した。提案方式では、仮想 e-memory グループ内の SRAM に対応する fuse を平行に接続するため、仮想 e-memory グループごとの SRAM 救済に要する fuse データ転送時間が 1 サイクルとなる。また、仮想 e-memory グループごとに、異なる fuse に接続するために、全ての仮想 e-memory グループの SRAM 救済は同時に実施できる。この結果、SRAM の搭載数に係わらず、1 サイクルで fuse データの転送を実現でき、従来方式に対して fuse 転送時間の縮減が可能となる。提案方式では、設定する仮想 e-memory グループの数に依存して SRAM 救済後の歩留りとチップ面積が変化することから、SRAM 救済後の歩留りの試算式を導出し、仮想 e-memory グループ数を適正化するための指標値を作成した。提案方式の有効性検証のため、指標値に基づき適正化した仮想 e-memory グループ数の 65nmSOC 製品と、従来の fuse 面積縮減方式で設計した同製品の fuse 面積、fuse データ転送時間、救済後の歩留りの比較を行った。この結果、提案方式は従来方式と同等のチップ面積の縮減率、救済後の歩留りを実現しながら、fuse データ転送時間を 99 パーセント以上縮減できることを明らかにし、提案方式の有効性を実証した。

学位論文審査の要旨

主 査	教 授	金 子 俊 一
副 査	客員教授	前 田 俊 二
副 査	准教授	田 中 孝 之

学 位 論 文 題 名

半導体製造における歩留り向上技術の研究

(Establishment of Yield Improvement Technology for Semiconductor Manufacturing)

本論文では、半導体の主要製品の一つであるシステム LSI 製品の設計・製造における歩留り向上に関連する従来技術の取組みと課題を明らかにし、これらの課題に対する解決策について論じている。近年、微細化にともない、不良の種類は増加の一途にある。このため、これらの不良に対する、「原因の究明」、「原因の対策」、「対策効果の確認」、「対策の適用」といった、歩留り向上対策を素早く実施することがますます重要となっている。従来の工程異物数の定量化手法の一つとして、工程の途中でウェハー上の異物数を検査するインライン異物検査がある。本研究では FB-CAA 法の実用化に取り組んだ。従来の工程異物数推定アルゴリズムの精度検証の結果、従来手法では、計算上の制約により、工程異物数を高精度に推定できないことを確認した。この検証結果から明らかとなった従来手法の問題点を解決するために、線形計画法を用いた工程異物数推定アルゴリズムを定式化し、この推定結果の精度検証を行った。検証用データを用いて精度検証を行った結果、真値と推定値との誤差は 5 パーセント以下と小さく、提案手法により、対策工程の異物数を高精度に推定できることを確認した。また、実製品に提案手法を適用して算出した工程異物数と工程診断 TEG により算出した工程異物数との比較により、提案手法の製造拠点への適用の妥当性を確認した。その後、提案アルゴリズムに基づく工程異物数推定システムの開発と製造拠点への適用を行い、突発不良発生時の不良原因工程の早期発見や複数拠点間の製品管理など、歩留り向上対策に有効であることを実証した。

さらに、近年のシステム LSI 製品では救済回路搭載時のチップ面積の縮減が求められている。このチップ面積縮減のための SRAM 救済方式の一つとして、複数の SRAM 間で 1 つの fuse を共有することで fuse 面積の縮減を図る方式が提案されている。本論文では、仮想 e-memory グループごとに 1 つの fuse を搭載する新しい救済方式を提案した。提案方式では、仮想 e-memory グループ内の SRAM と対応する fuse をパラレルに接続するため、仮想 e-memory グループごとの SRAM 救済に要する fuse データ転送時間が 1 サイクルとなる。また、仮想 e-memory グループごとに、異なる fuse に接続するために、全ての仮想 e-memory グループの SRAM 救済は同時に実施できる。この結果、SRAM の搭載数に係わらず、1 サイクルで fuse データの転送を実現でき、従来方式に対して fuse 転送時間の縮減が可能となる。提案方式では、設定する仮想 e-memory グループの数に依存して SRAM 救済後の歩留りとチップ面積が変化することから、SRAM 救済後の歩留りの試算式を導出し、仮想 e-memory グループ数を適正化するための指標値を作成した。提案方式の有効性検証のため、指標値に基づき適正化した仮想 e-memory グループ数の 65nmSOC 製品と、従来の

fuse 面積縮減方式で設計した同製品の fuse 面積、fuse データ転送時間、救済後の歩留りの比較を行った。この結果、提案方式は従来方式と同等のチップ面積の縮減率、救済後の歩留りを実現しながら、fuse データ転送時間を 99 パーセント以上縮減できることを明らかにし、提案方式の有効性を実証した。

これを要するに、申請者はこの学位請求論文において、半導体歩留り向上という課題に対して独自に考案改良した手法を提案しているものであり、その実応用分野への貢献度は大きいと判断できる。また学術的・技術論的価値も少なくなく、よって著者は北海道大学博士(情報科学)の学位を授与される資格あるものと認める。