

学 位 論 文 題 名

Redesigning Evolutionary Algorithms for Many Core Processors

(メニーコアプロセッサ向け進化アルゴリズムの設計)

学位論文内容の要旨

Genetic algorithms (GA) are black box optimization algorithms inspired by the process of natural evolution. Being stochastic in nature such algorithms may require a large number of fitness evaluations before converging to the best or a near best solution. Several parallel implementations of GAs have been proposed in the last two decades. Most of these parallel GAs were designed either for supercomputer or cluster like environment and cannot be implemented efficiently over modern many-core processors. With the ever growing computational power of many-core processors it is safe to assume that many-core processors will be personal supercomputers for the years to come. Parallel implementation of algorithms over modern heterogeneous many-core processors like GPU is vital than ever before.

In this dissertation we undertake the mammoth task to adapt Meta heuristic algorithms namely advanced genetic algorithm over the modern many-core computing paradigm. The main motivation of the research is to harness the computational power of asynchronous heterogeneous many-core processors to solve combinatorial optimization problems using genetic algorithms and their derivatives. Heterogeneous many-core processors may be difficult to program but the initial hardware cost and the (efficiency/watt) ratings makes them extremely feasible for low budget users. There are two main objectives of the current research. The first and foremost objective is to modify the existing algorithms in such a way that can enable them to take maximum advantage of the low lying parallel hardware resources. The algorithms must be modified in a way that minimize the effect on the solution quality and output fidelity. Secondly, we further extend the research to build an entirely new advanced genetic algorithm that is compatible with the GPU SIMT architecture. In this dissertation, we give a detailed methodology that can be followed to make an algorithm SIMD/SIMT compatible. We have also discussed different kinds of optimization techniques that can be applied to an algorithm in order to make it more efficient over many-core processors.

As for achieving the above mentioned objectives, we follow a step by step approach. The thesis starts with Cell Broadband Engine Architecture (CBEA) that has less than 10 processing cores and is relatively easier to program as compared to modern GPUs. General purpose processor within the chip, overlapping memory operations with computation and relatively simple memory hierarchy are some of the things that make CBEA programming easier in comparison to a modern day GPU. Although the implementation can run unaltered on a CBEA, we used Sony Play Station 3 (PS3) for experimentation purposes. PS3 essentially has CBEA with only 6 SPEs available to the developer. We implemented a well-known Capacitated Vehicle Routing Problem (CVRP), which is essentially a constrained version of multiple Travelling Salesman Problem (TSP).

In the next step, we moved to massively parallel many-core systems with over 100 processing cores. For experimentation purposes, we have used nVidia C1060 Tesla, and C2050 Fermi GPU. We started the research with existing well known advanced genetic algorithms including cellular genetic algorithms (cGA) with local search and advanced Bayesian Optimization Algorithm (BOA) which is an advanced multivariable Estimation of Distribution Algorithm (EDA). The operators and techniques discussed help to speed up the execution without any loss in the output quality.

In this last section of the thesis, we design an entirely new advanced genetic algorithm for solving complex Mixed Integer Non Linear Programming (MINLP) problems. The algorithm is designed to be suitable for the modern GPU architectures. The thesis explains the detail design and implementation with interesting applications of the research. We provide a detailed empirical analysis of all the techniques and algorithms to confirm the output quality after making the proposed changes in the algorithm and operators.

In order to test our algorithm and the parallel implementation we have used different real world problems. The problems used for testing in this research ranges from classical problems like traveling salesman problems (TSP) to more advanced Mixed Integer Non Linear Programming (MINLP) problems like chemical batch plant design problems and space mission trajectory design problems. All the problems were carefully selected based on their relevance to the problems faced in the real world. We have performed elaborate experiments to verify the quality of the algorithms developed during this research; moreover, we verify the quality of the algorithms that are modified for many-core implementation. The quality of the algorithm over many-core processor should match the quality of the original unmodified algorithm.

Our algorithm for solving MINLPs is very different from the existing approaches in the literature. Existing algorithms usually rely on advanced and complex operators or other deterministic methods that are used in hybrid with the GAs. Our algorithm on the other hand makes a clever use of simple operators to solve the difficult MINLP problems. Simple operators being easy to port for SIMD architecture gives our algorithm unprecedented ability to run efficiently over GPU like architectures. With our design and implementation we show approximately 50x speedups over CPU only implementations.

We think that research in this area is still in its infancy and more work needs to be done for developing advanced operators and meta heuristic algorithms compatible with the SIMD/SIMT architecture of modern many-core processors. The algorithms should be able to make an efficient use of the memory hierarchy. The future many-core processors will be faster and will provide an easier and faster access to memory. The algorithms designed must be able to adjust themselves with the future architectures. The computational power of today's heterogeneous processors can also help us in solving problems like automatic parameter tuning and construction of adaptive algorithms. This can be one of the areas for future work.

学位論文審査の要旨

主査	教授	赤間	清
副査	教授	古川	正志
副査	教授	高井	昌彰
副査	准教授	棟朝	雅晴

学位論文題名

Redesigning Evolutionary Algorithms for Many Core Processors

(メニーコアプロセッサ向け進化アルゴリズムの設計)

近年の半導体プロセス技術の向上により、一つのプロセッサ上に多数の演算コアを有するマルチコア、メニーコアによるアーキテクチャが主流となりつつあり、特にグラフィック用途として Graphic Processing Unit (GPU) など数百程度の演算コアを有するアクセラレータが安価に使用できるようになってきている。このような背景により、スーパーコンピュータにおいては数万～数十万コアを有するものも構築されつつあり、そのような極めて多くの並列度を有する並列計算機を活用した並列アルゴリズムの開発が急務となっている。

一方で、遺伝的アルゴリズムなど進化アルゴリズムの分野において、従来型のクラスタシステムを前提とした並列化について研究が進められてきたが、メニーコアアーキテクチャに適したアルゴリズムの開発および実装については、十分な検討が進められていない。この状況において本論文では、代表的なマルチコア、メニーコアアーキテクチャである Cell Broadband Engine(Cell BE) と General Purpose Graphic Processing Unit(GPGPU) を前提とした進化アルゴリズムの設計および並列実装について議論している。

前者 (Cell BE) については、大規模かつ複雑な組み合わせ最適化問題である, Capacitated Vehicle Routing Problem(CVRP) を解くために必要となる進化アルゴリズムの設計および Cell BE 上での実装について議論した。アルゴリズムの設計にあたっては、遺伝的アルゴリズムと局所探索を組み合わせることで、大域的な構造に関する探索と、局所的な経路情報に関する探索を実現している。

実装にあたっては、Cell BE において全体の制御を担当する Power Processor Element(PPE) に大域的な探索を割り当て、高速な並列演算を実現する複数の Synergistic Processing Element(SPE) に局所探索を担当させることで効果的な並列化を実現し、結果として従来のプロセッサ上の直列実装に比較して約 15 倍の性能向上を実現するとともに、問題サイズが 1,000 以上の大規模な問題に於いて有効な結果を得た。

後者 (GPGPU) については、はじめに、代表的な組み合わせ最適化問題の一つである MAXSAT について、遺伝的アルゴリズムと局所探索を組み合わせたアルゴリズムを用いて、GPGPU の Single Instruction Multi Thread(SIMT) アーキテクチャに合わせた実装を行い、多数のスレッドを同期させて探索を行うことで、従来型のプロセッサ上の直列実装と比較して 15～25 倍の性能向上を実現した。次に、確率モデル構築による先端的な進化アルゴリズムである Bayesian Optimization Algorithm(BOA) についても、その計算コストの大半を占めるモデル構築に要する探索を GPGPU

上で行うことで、10 倍程度の性能向上を実現するとともに、複雑な確率構造を有する大規模問題への適用に道を開いた。

さらに、最も一般的かつ複雑な最適化問題として、整数と実数の変数および等式および不等式の制約条件が混在した Mixed Integer Non-Linear Programming(MINLP) を取り上げ、探索領域を適応的に絞り込むことで、探索領域が高次元で極めて大きい最適化問題に対して有効となる進化アルゴリズム adaptive resolution GA(arGA) を開発するとともに、その GPGPU 上における効果的な実装について議論した。結果として、複雑かつ大規模なベンチマーク問題について、従来型のプロセッサ上の直列実装と比較して 40 倍以上の性能向上を実現した。

これら提案された進化計算アルゴリズムの設計およびメニーコアアーキテクチャの特徴を生かした実装により、従来は解くことが困難であった大規模かつ複雑な最適化問題に対して、数倍～数十倍の性能向上を実現し、現実的な計算時間で有用な解を得ることを可能にした。特に本研究で取り上げた Cell BE および GPGPU については、安価なアクセラレータとして有用なアーキテクチャであり、コスト面の有利さから開発・設計プロセスの現場における活用が期待される。

これを要するに、著者は、メニーコアアーキテクチャに適用可能な進化アルゴリズムの構築方法を提案し、従来方法との比較実験に基づいてその有効性を検証したものであり、大規模並列進化アルゴリズムの発展に貢献するところ大なるものがある。よって著者は、北海道大学博士 (情報科学) の学位を授与される資格あるものと認める。