

学 位 論 文 題 名

雑音を利用する生体の初期視覚システムに学んだ
アナログ機能 LSI に関する研究

学位論文内容の要旨

本研究は雑音を除去するかわりに積極利用して情報処理を行なう新しい集積回路アーキテクチャの構築を目的とした、脳の仕組みに学んだ低消費電力 CMOS 集積回路に関するものである。具体的には、生体の網膜から脳の一次視覚野にかけて存在する初期視覚系を模擬する事で、雑音やトランジスタの特性バラツキを利用して機能する SN 比やシグナルの同期精度等の性能が向上する集積回路を設計した。

近年の環境保全とエネルギー消費への意識の高まりから、これまで以上に低消費電力かつインテリジェントな情報処理を行なうコンピュータの実現が期待されている。集積プロセスの微細化によりその実現が近づきつつあるが、素子がナノスケールに近づくにつれわずかな素子特性のバラツキや熱雑音の影響が無視できなくなってきた。これまで材料や製造手法の面からそのような「ゆらぎ」を排除する試みが多くなされている。一方、生体の情報処理システムである神経系は、最小のエネルギー消費で最大のパフォーマンスを得ており、例えばヒトの脳はかねがね 10 W 程度のエネルギー消費しか無いにも関わらず高度な情報処理を可能にしている。一方、集積回路の場合はヒトの脳の数倍も規模が小さなネズミの脳のごく一部をシミュレートするだけでも、数千 W ものエネルギーを必要とする。このような特性を持つ神経系は長い進化の末「ゆらぎ」を積極活用する方向に進化してきた事が近年の研究結果より明らかになっている。例えば、コオロギの気流感覚細胞は生体自ら発する熱雑音を検出してしまうほど高感度なものであるが、その熱雑音を利用してごく微小な空気の動きを検出している。このように「ゆらぎ」を積極利用して動作する脳の仕組みを集積回路の設計手法に取り入れることができれば多大なメリットがある。特に近年注目が集まっている環境モニタセンサは環境雑音の影響を受けやすく限られたエネルギー供給で動作する事が要求されるため、本手法は有効である。よって今回、環境モニタセンサに用いる事を主眼としてそれに応用可能な要素回路を提案手法によって開発する。具体的には構造が明らかになっており機能もよく研究されている生体の網膜から脳の視覚野に存在する初期視覚系に着目し、その機能のアナログ集積回路化を行なった。

まず、網膜に存在する視細胞の生理学実験から得られた見地を元に「確率共鳴」現象に着目し、その現象を用いて特に低い電源電圧で動作するロジックメモリ回路を開発した。確率共鳴現象とは、系が本来応答できないような入力信号が与えられた時、外部から中程度の雑音を与えられると入力検出精度が最大になる現象のことである。中でも双安定系は本質的に 2 つの状態を保持する動作であるためロジックメモリ電子回路へ応用できる。今回ニューロンの動作を模擬した単純な構成のロジックメモリ回路を作成し、その低電圧化と雑音利用の可能性について検討した。その結

果、提案回路は一般よりも低い電源電圧で動作するため通常のラッチ回路で構成されたメモリセルと比較して 1/100 程度の小さな消費電力で動作する事が確認できた。さらに入力信号振幅が制限されている時、回路に雑音を加えると確率共鳴の効果でエラー率が低減する事を回路シミュレーションにより明らかにした。

次に、暗画像検出に用いるイメージセンサへの応用を目的として、フォトセンサ間の特性ばらつきを低減できる受容野ネットワークモデルを構築し、その理論解析を行なった。微弱光検出には先に述べた「確率共鳴」が有効だが、フォトセンサ間にバラツキがあるとそのバラツキまで確率共鳴により検出されてしまう。そこで感覚神経に特有の「受容野」という概念をセンサ設計に応用する。単一のフォトレセプタ (センサ) の出力は網膜から外側膝状体 (Lateral Geniculate Nucleus, LGN) を経て大脳の視覚野へと至る過程で多数のニューロンへ投影される。この投影される範囲を「受容野」とよびこれが素子間のバラツキを効果的に抑制している。ここで、「確率共鳴」と「受容野」をとりいれた数理モデルを構築し、これら二つの概念により微弱光を効果的に検出でき SNR が最大になることを数値シミュレーションにより確認した。さらになぜ受容野の概念が素子間バラツキの抑制に効果があるのか、どの程度のサイズの受容野がハードウェア実装の時に最適なのかを理論的に解明した。

また、網膜から得た視覚情報より眼球運動を制御する前庭眼反射 (Vestibulo Ocular Reflex, VOR) と呼ばれる機能を元に、高速パルス密度変調を行なうアナログ集積回路を設計した。VOR とは頭が回転した時眼球を反対方向に回転させることで注視しているものがぶれないように補正する機能である。VOR ネットワーク内に存在するニューロンは低速であり頭の回転速度に対して追従する事ができない。しかし、複数個のニューロンに特性バラツキが存在しておりそれぞれ雑音の影響下にあるとき頭の回転速度に対してネットワーク全体が追従できるようになる。この機能を応用すると、低速だが低消費電力かつコンパクトな電子回路を複数集積することで消費電力を抑えつつ必要な性能を得る事が可能となる。低速動作を目的としたニューロン型 PDM 電子回路を作成することで集積度に比例して処理周波数が線形に増加する事を回路シミュレーションおよび電子回路実験により確認することができた。

そして、網膜から脳の上丘 (Superior Colliculus, SC) へ至る経路での生理学実験から、雑音を利用して位相同期を行なうオンチップクロック源回路の開発を行なった。これは互いに完全に独立したニューロン同士が定常入力では同期せず雑音入力により同期するという「雑音誘起同期現象」を利用したものである。ここで、周期的に発火するパルスニューロンを論理回路で用いるクロック発生器とみなし、クロック信号が必要な要素回路近傍にニューロン回路を分配する。その上で雑音をチップ全体に与えることによりチップ内全てのニューロン回路が同期するため、位相遅れの無いクロック信号分配が実現できる。回路シミュレーションおよび電子回路実験より、雑音を与えた時全てのクロック源回路が同期する事が確認でき、ま分配したいクロック周波数に対してノイズの周波数帯域は 1/2 程度で済む事がわかった。

最後に大脳の一次視覚野 (Primary Visual Cortex) に存在する負のフィードバックを持ったニューラルネットワークより 1bit Δ - Σ 型アナログ-デジタル変調器 (ADC) を作成した。効果的に雑音をとりに入れるため、トランジスタをしきい値以下でバイアスするサブスレッショルド CMOS 集積回路の設計手法を用いている。回路シミュレーションよりネットワーク回路は出力に含まれる低周波のノイズを高周波に転送する「ノイズシェイピング」機能を持つためネットワークを構成しない回路と比較して高い SNR を実現できた。また通常の雑音利用を行なわない 1bit ADC と比較して 1/10 程度の消費電力である事がわかった。

学位論文審査の要旨

主査	教授	雨宮好仁
副査	教授	福井孝志
副査	教授	山本真史
副査	准教授	浅井哲也

学位論文題名

雑音を利用する生体の初期視覚システムに学んだ アナログ機能 LSI に関する研究

本研究は、集積回路の低エネルギー化にともない顕著となる雑音や素子バラツキ等の「ゆらぎ」の影響を回路特性の向上に利用できる可能性を示したものである。具体的には、低エネルギー動作の環境センサ LSI に用いる要素回路を例として、生体視覚処理における「ゆらぎ」の有効利用メカニズムを模倣した新しい回路設計法を提案・検証した。

集積回路における消費電力の低減は重要な課題である。とくにセンサネットワークノードやアクティブタグチップ等の LSI では、貧弱なエネルギー源—超小型電池や環境エネルギー採取など—のもとで長時間の動作が要求されるので、回路レベルではナノワット動作、LSI 全体としてはマイクロワット級の低エネルギー動作が望まれる。しかし、低エネルギー化のためには回路電圧を下げ、MOS トランジスタをサスレッシュヨルド低電流動作とし、かつ信号電荷を極力小さく抑える必要がある。その結果として外来雑音・熱雑音・素子パラメータバラツキ等の「ゆらぎ」の影響が大きくなり、回路が誤動作を生じるようになる。

この問題に対処するため、筆者は、生体の信号処理メカニズムからの連想により、ゆらぎの効果を CMOS 回路の低エネルギー動作に積極的に逆用することを考えた。生体の神経システムでは、熱雑音やニューロン特性のバラツキを巧妙に利用しながら、微小なエネルギー消費で信号処理を行っている。とくに網膜から大脳の視覚野にいたる初期視覚系は従来から良く研究されており、その動作メカニズムは概要が判明している。筆者は、そのメカニズムに範を取り、それを CMOS 回路と結びつけることで、ゆらぎを回路特性向上に利用する手法を提案した。そして、低エネルギー動作の環境センサ LSI のための要素回路を例にとり、具体的な回路設計の方法を開発した。その成果は以下のとおりである：

(1) 低い消費電力で正しく動作する CMOS メモリセル回路を提案した。メモリセルは、回路電圧が低下すると、雑音や素子バラツキのため、状態保持や書込み読出しに支障を来して誤動作するようになる。この問題は、網膜の視細胞でみられる「確率共鳴」の現象を応用することで改善できる。確率共鳴とは、ある系が本来は応答できないような微小の入力を受けたとき、適度の雑音があれば応答できるようになる現象を言う。著者はこの現象をメモリセル回路に導入する方法を提案し、従来と比べて 1/100 のエネルギーで動作するメモリセル回路の設計法を開発した。

(2) 暗画像検出のための高感度イメージセンサでは、フォトセンサ間の特性バラツキが問題になる。微弱光検出そのものは先に述べた確率共鳴の利用で対応できるが、そのときフォトセンサ間に特性バラツキがあるとそのバラツキまで確率共鳴で検出されてしまう。生体の視覚系では、この問題は「受容野」の手法により対処されている。すなわち、網膜上の個々のフォトレセプタ (センサ) の出力は脳の視覚野に至る過程で受容野と呼ばれる或る範囲のニューロン集団に伝達され、このことがレセプタ間の特性バラツキを抑制している。そこで筆者は確率共鳴と受容野の概念を取り入れたセンサ回路の設計法を開発した。

(3) 雑音や素子バラツキが大きい状況下で LSI 全体に正確な同期クロック信号を送るためのクロック分配法を提案した。生体の網膜においては、互いに独立したニューロン同士が雑音を利用して「雑音誘起同期」の現象を生じている。この動作を CMOS 回路で模倣するには、周期的に振動するニューロン回路を設けてクロック発生源とし、クロック信号を受ける各回路ブロックにクロック受信のニューロン回路を配置する。その上で雑音をすべてのニューロン回路に与えれば、LSI 全体として雑音誘起同期が生じて位相遅れのないクロック信号分配ができる。筆者はこの雑音誘起同期と CMOS 回路を組み合わせたクロック回路設計法を開発した。

(4) 1bit $\Delta \Sigma$ 型 AD コンバータを構成するとき、サブスレッショルド CMOS 集積回路を用いれば極めて低い消費電力を実現できる。しかし、サブスレッショルド CMOS 集積回路は雑音と素子バラツキに対して鋭敏であり、使用の際には誤動作に注意を払う必要がある。そこで筆者は、雑音を利用して 1bit $\Delta \Sigma$ 型 AD 変換を行なうニューラルネットワークモデルに着目し、サブスレッショルド CMOS 回路の鋭敏さを逆に利用して低エネルギーで動作する 1bit $\Delta \Sigma$ 型 AD 変換回路を開発した。

これを要するに、本研究は「ゆらぎ」を積極的に利用して CMOS 回路の特性向上を図る方法を確立したものであり、低エネルギー集積回路と応用システムの分野に対して貢献するところ大なるものがある。

よって著者は北海道大学博士 (工学) の学位を授与される資格があるものと認める。