

A Study on Ultra-Low Power and Large-Scale Design of Digital Circuit for Wireless Communication

(無線通信に関するデジタル回路の極低消費電力型
大規模システム設計に関する研究)

学位論文内容の要旨

The continuous growth of recent mobile and portable devices has caused a push great toward low-power circuit design. Various methods and techniques have been found, for example, the utilization of concurrent / pipeline architecture with low supply voltage for traditional circuits. Proper design of subthreshold circuits operating in a weak inversion region achieves ultralow threshold and supply voltages and has been studied for both analog and digital circuits.

The analog circuit has been studied and implemented in many areas such as speech signal and image processing. On the other hand, digital circuits have been studied for very low clock frequency and can be applied in medical devices such as pacemakers and defibrillators. For the idle state of low-power, subthreshold voltage condition has been used for microprocessors in ultralow-voltage operation and leakage current. The idea to study subthreshold operation comes after much research carried out through conventional analysis focusing on for example, low power, low voltage, low frequency, and application in small circuit systems.

Recently, as a result of the aggressive scaling of transistor size for high-performance applications, not only does subthreshold leakage current increase exponentially, but gate leakage and reverse-biased source-substrate and drain-substrate junction band-to-band tunneling (BTBT) currents also increase significantly. The tunneling currents are detrimental to the functionality of the devices. The well-known methods of low-power design (such as voltage scaling, switching activity reduction, architectural techniques of pipelining and parallelism, Computer-Aided Design (CAD) techniques of device sizing, interconnect, and logic optimization) may not be sufficient in many applications such as portable computing gadgets, and medical electronics, where ultralow power consumption with medium frequency of operation is the primary requirement. To cope with this, several novel design techniques have been proposed. Energy recovery or adiabatic techniques are promising for reducing power in computation by orders of magnitude. However, they involve the use of high-quality inductors, which makes integration difficult. More recently, the design of digital subthreshold logic was investigated with transistors operated in the subthreshold region.

The aim of this study is to achieve ultralow-power communication circuits operating at high frequency. In this situation, we focus on implementing large-scale subthreshold circuits and must explore

a new design in which only the CMOS standard cell library is used and simplify the modeling procedure of subthreshold circuits.

The conventional design involves subthreshold analysis on a transistor level or cell library preparation under multiple voltage conditions. This procedure has a disadvantageous that it requires a long time to estimate the circuit performance for operation in the subthreshold region.

We proposed scale modeling so we need only use a typical cell library, which is suitable for large-scale digital circuits such as wireless communication circuits. In the proposed method, each CMOS logic cell operating in the subthreshold region in circuit delays and power dissipation are analyzed and scaled factors are obtained by mapping from typical to subthreshold voltage conditions. This process does not need preparation of a special-purpose CMOS library operating in the sub-threshold region. The critical path delay is also obtained by scaling factors and used for determining the optimal voltage condition that satisfies the required timing constraints. For practical examples, we have designed wireless circuits of a channel equalizer, FIR filter and FFT used in an OFDM receiver. These circuits have been power dissipation by adjusting the overall voltage conditions to satisfy the required timing constraints of IEEE802.11a standard.

学位論文審査の要旨

主 査 教 授 宮 永 喜 一
副 査 教 授 野 島 俊 雄
副 査 教 授 小 柴 正 則
副 査 教 授 小 川 恭 孝

学 位 論 文 題 名

A Study on Ultra-Low Power and Large-Scale Design of Digital Circuit for Wireless Communication

(無線通信に関するディジタル回路の極低消費電力型
大規模システム設計に関する研究)

本論文では、ディジタル回路の低消費電力化技術についての研究を行い、大規模な集積回路においても利用できるサブスレッシュホールド領域設計法を実現し、従来の低消費電力化された回路のさらに 1/10 程度の電力消費を実現するような、極低消費電力化新設計手法を開発した。さらに、無線通信において最近活用されている OFDM システムの設計を行い、優れた低消費電力特性を実現することを示した。

低消費電力化のためのアナログ回路はすでに研究されており、たとえば音声信号や画像処理などのシステム実現を行っている。基本的な考え方は、ゲート総数の減少による省電力化である。一方、ディジタル回路は非常に低いクロック周波数を利用した、低消費電力化であり、医療機器のペースメーカーなどに応用されている。しかし、無線通信等の実時間処理が要求される大規模ディジタル回路に関しての低消費電力化については、ほとんど議論されていなかった。本論文は、それらの大規模システムの極低省電力化についての検討であり、疑似サブスレッシュホールド領域でのシステム実現について詳細な検討を行っている。

第 1 章は、本論文の背景について説明がされており、従来の技術についての概要が述べられている。

第 2 章は、従来の低消費電力化技術の中の代表的な技術について紹介している。特に、システム全体に供給する電源電圧を動作ぎりぎりまで下げるサブスレッシュホールド技術については、本論文の内容に深くかかわるため、詳しく内容が記述されている。この他、電源電圧のモデリングによる技術、クロック供給に関する技術、演算精度に係る技術、セルライブラリに係る技術などについて説明している。

第 3 章では、本論文の設計対象としている、OFDM 無線通信システムに関する基本的な内容説明と、各モジュールの機能と設計法に関する説明が行われている。OFDM は、利用できる周波数帯域内で、できるだけ効率よくデータを詰め込んで送信する変調方式であり、スループットの高い無線

通信が実現できる。このシステムは、符号・復号器、マッパー、スクランブラー、高速フーリエ変換、イコライザー、ガードインターバルの各モジュールが存在する。それらの中で、重要と考えられる、デジタルローパスフィルタ (FIR フィルタ)、フーリエ変換、チャネルイコライザーの詳しい機能と、そのデジタル回路設計を行っている。これらの設計データは、本論文で提案する極低消費電力を実現するシミュレータにより評価され、最小消費電力を実現する電源電圧と、クロック周波数が求められる。

第4章は、サブスレッシュホールドで動作する回路のモデル化と、その評価を行い、極低消費電力化を実現できる新しいシミュレータを提案している。本研究の目的は、極低消費電力の通信回路を実現するため、できるだけ低いクロック周波数と可能な限り低い電源電圧を求めることである。これを実現するために、大規模なサブスレッシュホールド回路を構成できる CMOS スタンダードセルライブラリを新しく設計・実現し、そのライブラリを利用して、最適な回路のモデリングを行う。この提案ライブラリは、複数の電源電圧に対応できる回路モデルを利用しているため、様々なクロック周波数で、いろいろな電源電圧の評価が可能である。これにより、短時間で、最適なクロック周波数と電源電圧を決定する。

従来の設計では、利用できる電源電圧の条件が厳しく、一通りの電圧条件下でのセルライブラリを利用する。そのため、他の条件を利用する場合には、ライブラリから再設計をする必要があり、多くの時間を要していた。本論文は、スケールラブルモデルを提案することで、フレキシブルなライブラリを実現し、大規模なデジタル回路に対して、短時間で最適な回路評価が実現できる。

上記の評価を、OFDM に利用されている、チャネル等化器、FIR フィルタと FFT に適用して、最適なクロックと最小の電源電圧を求め、その時の消費電力評価を行った。

第5章では、上記の各モジュールのさらなる低消費電力化を目指し、演算精度の最適化を行った。できるだけ少ないビット数での演算を行うことで、ゲート数の削減と演算精度の確保を同時に実現する。これらの処理を、動的に行うダイナミックアーキテクチャを導入し、通信環境に適応的に追従できるより最適な回路モジュールを設計した。

以上の事より、本論文では、極低消費電力を実現するための、最適なクロック周波数及び最小電源電圧を短時間で求めるサブスレッシュホールド対応セルライブラリを新しく設計提案し、それを用いたシミュレータにより OFDM 無線システムの低消費電力化を行った。これにより、大規模 LSI システムの低消費電力化技術に関する研究において、十分な成果を挙げている。

これを要するに、筆者は、大規模デジタル回路の低消費電力化問題について、最適クロック周波数及び最小電源電圧を決める新たな方式の提案とシミュレータ開発を行い、その有効性を示した。これにより、低消費電力化技術に関する多くの有益な知見を得ており、工学の分野に貢献するところ大なるものがある。

よって筆者は、北海道大学博士 (工学) の学位を授与される資格あるものと認める。