

MOSFET のサブスレッショルド領域特性を利用した 低消費電力アナログ CMOS 集積回路技術に関する研究

学位論文内容の要旨

本研究の目的は、MOSFET のサブスレッショルド特性を利用して「極めて微小な電力で動作する LSI の回路設計技術を確立すること」にある。本論文は、その目的に向けて、著者がこれまでに進めてきた「MOSFET のサブスレッショルド領域動作を利用した低消費電力センサアナログ集積回路技術」に関する研究の成果をまとめたものである。

近年、極めて微小な消費電力で LSI を動作させるための集積回路技術が注目されている。特に、数マイクロワット級の極低消費電力で動作する LSI システムが実現されると、これまで技術的な課題が多く適用することが出来なかった様々な LSI アプリケーションを開拓することができる。例えば、センサネットワーク用途のセンサノード LSI, RFID タグ, Wake-up 受信機, そして医療用の埋め込みセンサデバイス等の応用が期待されている。このような LSI 応用を実現するための技術ポイントは、極めて限られた電力消費のもとで各種の機能センシングを行うスマートセンサ LSI のファミリを開発することにある。すなわち、これらのセンサ LSI は極めて限られた電力消費のもとで長時間に渡る各種センシング動作をしなければならない。たとえば小型電池で数年にわたる動作が必要であり、さらには周囲の自然環境(光, 環境電磁界, 温度差, 振動など)からのエネルギー採取による半永久動作が望まれている。したがって、このような電力供給のもとで数年以上に渡る連続動作を可能にするためには、センサ LSI 全体の消費電力を数マイクロワット以下に抑える必要がある。

これまで CMOS LSI はスケーリング則に基づく素子の微細化によって高速化・高集積化を実現してきた。この微細化に応じて、素子に印加される耐圧電圧(電源電圧)は低減され、その結果、LSI 全体の消費電力は低減されてきた。しかし、微細化プロセス技術においては、原子層レベルでの極薄膜の形成制御技術、リソグラフィ技術や不純物濃度プロファイルの制御技術など製造プロセス上の困難な技術課題に直面している。また、電源電圧の低減においては、デジタル回路の消費電力は電源電圧の二乗に比例するため、その低減は有効な低消費電力手法であるが、アナログ回路においては、電源電圧の低下は信号振幅の減少 — すなわち SNR の劣化を意味しており、低電源電圧化は限界に達しつつある。この他にも、様々な回路設計手法による低電力化の試みがなされてきた。しかし、これらの設計技術の多くは MOSFET の強反転領域動作を前提とした設計アプローチであり、回路システムの消費電力を格段に削減することは困難である。したがって、従来の低電力アプローチとは異なったアーキテクチャによる低消費電力手法を検討する必要がある。そこで我々は、消費電力を格段に低減する手法の一つとして、MOSFET のサブスレッショルド領域動作を前提とした回路設計を行うことで低消費電力化を実現する手法を検討した。

MOSFET のサブスレッショルド電流はナノアンペアオーダーの微小電流であるため、現行の LSI と比較して消費電力を 3 桁以上削減することが可能であり、回路システムを数マイクロワットオーダーの極低消費電力で構成することができる。これはボタン電池等の微小エネルギー源のもとで回路を駆動させた場合を想定すると、数年間に渡る長期連続動作が可能な回路システムを構築することができる。しかし、一方で MOSFET をサブスレッショルド領域で動作させると以下の問題が生じる。

- ・「微小電流であるため、動作速度が遅い」
- ・「温度や製造プロセス変動に対して特性が敏感に変化する」

サブスレッショルド電流はナノアンペアオーダーの微小電流であるため負荷の駆動能力が低く、その結果、信号伝播遅延時間が大きくなってしまふ。また、動作温度変化や製造プロセスバラツキは回路特性の予測や保証が困難なものとなり、LSI の歩留まりの低下に繋がってしまう。よって、高速デジタル演算応用に代表されるこれまでの回路設計技術において使用することはできず、サブスレッショルド領域動作による回路設計手法は積極的に用いられることはなかった。

これらの問題点に対して、前者に対しては速度が問題とならない応用分野（例えばセンサデバイス応用など）や、限られた電力供給のもとで動作することが求められる低速アプリケーションをターゲットとすることで、低速動作である問題点を解決することができる。後者に対しては、回路アーキテクチャによる温度補償、製造プロセスバラツキ補正を行う必要がある。このような背景の下、サブスレッショルド領域動作を前提とした LSI システムのための各種要素回路の設計手法を確立する必要がある。そこで、本研究ではこれらの問題点を解決し、サブスレッショルド領域動作を前提とした回路設計手法の確立、さらに、サブスレッショルド領域で現れるデバイス特性を積極的に利用することで従来にはない機能的なアプリケーションの開拓を行った。本論文は、以下の章から構成される。

第 1 章 序論

本章では、本研究の背景・目的を述べる。

第 2 章 CMOS LSI の低消費電力技術

本章では、既存の CMOS LSI で用いられている低電圧・低消費電力化技術についてまとめ、本提案手法である MOSFET のサブスレッショルド領域動作を用いた低消費電力化技術について説明する。また、本提案手法を用いて構成した回路の問題点、設計指針、解決手法について説明する。

第 3 章 CMOS スマートセンサ LSI

本章では、サブスレッショルド領域動作を前提としたスマートセンサ LSI アーキテクチャを示す。その後、センサ LSI システムに必要な要素回路技術として、参照電圧源、参照電流源、参照クロック源について実際の試作結果を中心に説明する。また、具体的なセンサアプリケーションとして、温度センサ回路、品質劣化モニタセンサについて説明する。

第 4 章 製造プロセスバラツキ補正

本章では、既存の LSI にも適用可能なプロセスバラツキ補正技術について説明する。実際に試作をおこなった製造プロセス・温度バラツキを補正した参照電流源について説明する。また、この参照電流源を使用した電圧制御発振器、演算増幅器の特性バラツキ補正効果についても示す。

第 5 章 まとめ

本章では、本研究のまとめを述べる。

学位論文審査の要旨

主 査 教 授 雨 宮 好 仁
副 査 教 授 山 本 眞 史
副 査 教 授 佐 野 栄 一
副 査 准教授 浅 井 哲 也

学 位 論 文 題 名

MOSFET のサブスレッシュヨルド領域特性を利用した 低消費電力アナログ CMOS 集積回路技術に関する研究

本研究の主旨は、マイクロワット級の微小電力で動作するスマートセンサ LSI の構築に向けて「サブスレッシュヨルド領域で動作するアナログ MOS トランジスタ回路」の設計技術を確立したことにある。

近い将来、多数のインテリジェントセンサとそれを結ぶネットワークが配置されたユビキタス情報環境の構築が予想される。このようなセンサネットワーク環境を実現するための一つの技術ポイントは、極めて限られた電力消費のもとで各種の機能センシングを行うインテリジェントセンサ LSI のファミリを開発することにある。このときの問題点はエネルギー供給にある。すなわち、これらのセンサ LSI は超小型電池を電源とするか、あるいは周囲の自然環境からエネルギーを採取するか、いずれにしても極めて限られた電力消費のもとで動作しなければならない。

このような要求に対応するための有力な方法は、MOS トランジスタ (MOSFET) を数十 nA 以下の微小電流領域、すなわちサブスレッシュヨルド領域で使用することである。このサブスレッシュヨルド領域で動作するアナログ MOS 回路を使えば、消費電力が数 μ W 以下のインテリジェントセンサ LSI を実現することが可能となる。しかし、MOSFET をサブスレッシュヨルド領域で使おうとすると種々の問題が発生する。たとえば MOSFET のゲート閾値電圧のバラツキが非常に深刻な影響を与えるようになる。また、通常領域の動作では容易であった基準電圧や基準電流の発生が難しくなる。加えて各種の要素回路の設計手法も確立していないので、サブスレッシュヨルド動作のアナログ LSI はまだ実用化されていない。

以上の点に鑑みて、著者はサブスレッシュヨルド MOSFET によるアナログ回路要素の設計方針を確立するための研究を行った。この研究では、サブスレッシュヨルド領域で現れる諸問題への対処だけでなく、サブスレッシュヨルド領域で現れる新しいデバイス特性を積極的に利用することも考慮されている。得られた成果は以下のとおりである。

(1) MOSFET サブスレッシュヨルド領域の特性解析

はじめに、MOSFET のサブスレッシュヨルド領域における特性解析と温度・製造プロセスバラツキの解析を行い、さらに実デバイスの測定結果と理論解析の比較を行った。これらの結果より、サブスレッシュヨルド回路の設計を行うための MOSFET モデルを決定した。

(2) サブスレッショルド動作による低消費電力化の設計方針

MOSFET のサブスレッショルド領域動作を用いた低消費電力化について、予想される種々の問題点を抽出し、その解決手法を提案した。前記(1)の結果をもとに、要素回路の設計指針を定めた。それをもとに、サブスレッショルド動作を考えたスマートセンサ LSI アーキテクチャを提案し、各回路ブロックの設計法と回路性能の評価法を確定した。

(3). 要素回路技術の設計手法の確立

サブスレッショルド動作のスマートセンサ LSI に必要な要素回路について、具体的な設計手法の確立を行った。要素回路の中でも特に重要な参照電圧源・参照電流源・参照クロック源は、従来の回路構成法によるかぎり消費電力が大きくて使用することができない。そこで、サブスレッショルド LSI システムに適した要素回路の構成技術を開発した。実際に各要素回路の試作を行い、それぞれ 1 μ W 以下の微小電力で動作することを実測で確認した。

(4) センサ LSI システムの構築

具体的なセンサ LSI システムの一例として、下記の 2 つのシステムの構築を行った。

(4-1) サブスレッショルド領域での電流特性は温度に対して敏感に変化する。この特性を利用して温度センサ LSI を構成した。この温度センサは、周波数同期ループ技術を用いることで、温度を周波数パルスに変換する。実際にセンサ回路を設計試作し、10 μ W 程度の微小電力で動作することを確認した。

(4-2) MOSFET のサブスレッショルド電流の温度依存性は「食品や医薬品の劣化速度の温度依存性」と相似の関係にある。このことを利用すると、食品や医薬品の品質が貯蔵・輸送・配達のプロセスで劣化していく様子を模擬するセンサ「品質監視センサ」を構成することができる。この考えによる品質監視センサのプロトタイプを試作し、10 μ W 以下の微小電力で動作することを確認した。このセンサを食品や医薬品に貼り付けることにより、生産者から消費者にいたる流通過程での品質劣化の進行を模擬することができる。消費者はセンサの出力を読みとることにより品物の鮮度をその場で判断できるので、迅速かつ適切な品質監視が可能となる。

(5) 製造プロセスバラツキ補正技術の確立

サブスレッショルド回路では、MOSFET の製造バラツキに起因する歩留まりの低下や、性能動作マージンの低下などがとくに問題となる。なかでも MOSFET のしきい値電圧バラツキは、回路動作に深刻な影響を与える。アナログ回路では比較的大きなトランジスタサイズが許容されるので、相対精度に影響するチップ内バラツキは小さくできる。しかし、絶対精度に影響するチップ間バラツキを補正するための有効な解決策はこれまで示されていなかった。この問題に対処するため、しきい値電圧の絶対値バラツキを補正する閾値電圧モニタリング法を提案した。この方法では、絶対零度のしきい値電圧を出力する基準回路をチップ上に搭載し、それによってチップ毎に異なるしきい値電圧バラツキの影響を補正する。この回路アーキテクチャをもとに、製造プロセスバラツキ補正のための技術を開発した。

以上を要するに、著者はサブスレッショルド領域で動作するアナログ MOS トランジスタ回路の設計技術を確立し、よって微小電力スマートセンサ LSI の実現見通しを得たものであり、集積回路工学に貢献するところ大なるものがある。したがって、著者は北海道大学博士(工学)の学位を授与される資格あるものと認める。