

学位論文題名

システムLSI製造における
歩留り管理・向上手法に関する研究

学位論文内容の要旨

システムLSIは、高速化や高機能化の市場要求に伴い、高集積化の一途を辿ってきた。微細化と多層化の進むシステムLSIの製造難度は益々上昇しており、新製品をできるだけ早く、かつ廉価で市場投入するためには、製造歩留りを速やかに立上げ、かつ高歩留りを安定的に保つ歩留り管理・向上手法の開発ならびに高度化が求められている。

本論文では、システムLSI製造のプロセス開発および製品量産における歩留り管理・向上に関連する従来の取組みと、近年、課題となっている製品設計の段階から歩留りを考慮する従来の取組みに関する技術課題を明らかにし、これらの課題に対する解決策について論じた。

品種数が多く、ライフサイクルの短いシステムLSIのプロセス開発段階では、歩留りに大きく影響する多層配線工程を対象として、製品に依存しない標準プロセスを用いた配線工程診断TEG(Test Element Group)により欠陥を低減する手法が用いられている。配線工程診断TEGの歩留り管理規格は、製品が所望の歩留りを達成できるように製品の目標歩留りから換算される。この換算では、製造ラインで発生する欠陥粒径分布と、配線工程診断TEGおよび製品のレイアウトデータに基づいて歩留りを予測するCAA(Critical Area Analysis)が用いられるため、欠陥粒径分布測定の高精度化が重要となっている。しかし、電気テストで実際に不良となった欠陥の粒径分布を測定する場合、微小な欠陥が不良となるかどうかは欠陥と配線との位置関係に依存するため、電気テストの段階で微小異物を見逃してしまう点が考慮されていなかった。そこで、プロセス開発段階における配線工程診断TEGの管理基準の適正化を目的として、測定した微小欠陥数をCAAを用いて補正することにより欠陥粒径分布測定を高精度化する手法を開発した。本手法で補正した欠陥粒径分布を用いて配線工程診断TEGの不良率を推定した結果、実際の不良率との相対誤差±10%以内と精度良く予測できることを確認した。

一方、プロセス開発段階において、配線工程診断TEGにおける短絡や断線などの欠陥性不良を低減するには、まずはじめに、その不良箇所を特定する必要がある。この不良箇所は、システムLSIの微細化に伴い、従来の光学式異物・外観検査装置では容易に特定できなくなっており、FIB(Focused Ion Beam)やSEM(Scanning Electron Microscope)により不良箇所の特定が容易なVC(Voltage Contrast)法を活用できる配線工程診断TEGが提案されてきた。しかし、VC法を活用できる配線工程診断TEGでは電気テストを行える構造にはなっていない。そこで、断線および短絡不良の有無を触針式の電気テストにより検知可能とし、さらにVC法で不良箇所特定を可能とするCVC-TEG(Contact-added VC-TEG)とその解析手法を開発した。このCVC-TEGは、Si基板上に設けたSiO₂上に、蛇行配線と、この蛇行配線の間隙に孤立配線を設置し、この孤立配

線がコンタクトプラグにより P ウェル領域内の n 型拡散層と接続した構造とした。CVC-TEG の試作品に疑似断線および疑似短絡を予め搭載し、触針式の電気テストにより不良検知性能を評価した結果、断線および短絡不良の有無を電氣的に検知できることが分かった。また、FIB を用いた VC 法により上記の疑似欠陥のコントラスト差を確認することができ、不良箇所を特定できることが分かった。

システム LSI の量産段階では、多数の製品の中から歩留り改善余地のある問題製品を顕在化させる必要がある。このため、製品の歩留り習熟時に到達する欠陥性歩留りを CAA により予測し、実績歩留りとの乖離を把握する必要がある。また、量産段階では、コスト削減のため、工程診断 TEG を用いずに、製品の歩留りを予測する技術が求められていた。そこで、CAA で求めた短絡、断線、層間接続不良のクリティカルエリアの相互関係に相関があることを利用し、複数製品の実績歩留りと CAA による短絡クリティカルエリアから歩留りを予測する新たな歩留り予測モデルを開発した。適用の結果、同予測モデルによる歩留り予測誤差 (σ) は、およそ 3.3% 程度であり、また、実際の製造ラインにおける問題製品の特定にも成功した (32 製品中、2 製品特定)。CAA アルゴリズムとしては、ランダムに配置した欠陥から二つの配線が短絡する距離を測定する短絡距離測定法を開発し、CAA の結果として欠陥座標と短絡粒径を保存することにより、製造ラインごとに粒径分布パラメータが異なる場合や、回路モジュールごとの歩留りを算出する場合に、CAA を再度実行せずとも対応できるようにした。同アルゴリズムの妥当性を検証するため、二つの市販シミュレータとの計算結果を比較し、精度面で問題がないことを確認した。また、設計データの収集、CAA シミュレーション、実績歩留りの収集、歩留り解析を支援するサーバ群で、問題製品を精度良く簡便に特定する CAA 歩留り統合管理システムを構築した。同システムは、問題製品特定機能、歩留り推移表示機能、回路モジュール解析機能、 θ (平均致命率) マップ表示機能などを搭載しており、一連の解析に必要な作業工数をおよそ 1/20 に削減することができた。製造現場での解析者だけでなく、生産管理担当者や設計者へも同一基準の評価尺度を提供し、製品歩留り向上に向けた活動を支援している。

一方、システム LSI の製造歩留りを向上させる設計手法として、冗長回路による救済設計手法が従来から用いられてきた。本論文では、システム LSI の組込み SRAM に着目して、設計段階で冗長回路規模を適正化するための救済歩留り予測技術の開発について述べる。従来は、CAA で仮想的に投下したすべての欠陥に対して、どのような不良となるかを分類する専用シミュレータや回路情報が必要であった。本研究では、これらを用いずに、不良となる配線の組合せとこれにより生じる不良の種類を予め分類しておき、この分類結果に基づいて各々の配線の組合せごとに CAA を実施して救済歩留りを予測する手法を開発した。まず、配線組合せ別 CAA をジオメトリ法により解析的に解く方法を開発し、SRAM 製品の救済歩留りを予測した結果、平均 2.3% の誤差で予測することができた。次に、配線組合せ別 CAA の工数を削減するため、モンテカルロ法を用いた市販 CAA シミュレータを改良した。平均クリティカルエリアの計算誤差は、いずれの配線組合せにおいても $\pm 0.01\text{mm}^2$ 以内であり、製品の救済歩留り換算で $\pm 0.17\%$ 以内に抑えられ、所要計算時間は 10 時間 (従来 27 時間) と実用可能な見通しを得た。さらに、複数の冗長回路規模の組合せに対して、製品歩留り習熟推移を仮定して、製造コストを最小化するシミュレーションを試行し、冗長回路数の適正化手法を明らかにした。

学位論文審査の要旨

主査	客員教授	中川泰夫
副査	教授	金子俊一
副査	教授	小野里雅彦
副査	教授	北裕幸
副査	准教授	田中孝之

学位論文題名

システムLSI製造における 歩留り管理・向上手法に関する研究

システムLSIは、高速化や高機能化の市場要求に伴い、高集積化の一途を辿ってきた。微細化と多層化の進むシステムLSIの製造難度は益々上昇しており、新製品をできるだけ早く、かつ廉価で市場投入するためには、製造歩留りを速やかに立上げ、かつ高歩留りを安定的に保つ歩留り管理・向上手法の開発ならびに高度化が求められている。本論文では、システムLSIの設計、プロセス開発、および製品量産における歩留り管理・向上に関連する従来技術の課題とその解決策について論じている。

第1章では、システムLSIのプロセス開発および製品量産における従来取組みと、近年、課題となっている製品設計の段階から歩留りを考慮する従来取組みに関する技術課題を明確にし、本研究の位置付けと目的について述べている。

第2章では、歩留りに大きく影響する多層配線工程を対象に、このプロセス開発段階で用いられる配線工程診断TEG(Test Element Group)の管理基準の適正化を狙いとして、この管理基準の算定に用いる欠陥粒径分布測定を高精度化する手法の開発内容について述べている。

第3章では、プロセスの開発期間短縮を狙いとして、微小な断線および短絡不良の有無を触針式の電気テストにより検知可能とし、さらに、従来の光学式異物・外観検査装置では検出困難な不良箇所をFIB(Focused Ion Beam)やSEM(Scanning Electron Microscope)を用いたVC(Voltage Contrast)法により特定するCVC-TEG(Contact-added VC-TEG)とその解析手法の開発内容について述べている。

第4章では、システムLSIの量産段階において、品種数の多い製品の中から歩留り改善余地のある問題製品を顕在化させることを狙いとして、製品の歩留り習熟時に到達する欠陥性歩留りをCAAにより予測し、実績歩留りと乖離から問題製品を顕在化する歩留り統合管理システムの開発内容について述べている。

第5章では、システムLSIの組込みSRAMに着目して、設計段階で不良回路救済用の冗長回路規模を適正化する救済歩留り予測において、不良となる配線の組合せとこれにより生じる不良の種

類を予め分類しておき、この分類結果に基づいて各々の配線の組合せごとに CAA を実施して救済歩留りを予測する手法の開発内容について述べている。

第 6 章は本論文の結論となっている。

第 2 章では、欠陥粒径分布測定を高精度化するため、欠陥粒径分布とレイアウトデータから歩留りを算出する CAA(Critical Area Analysis) の概念を用いて微小欠陥数を補正する手法を提案し、不良率の予測精度の実験結果から欠陥粒径分布の測定精度を向上可能であることを確認しており、その有効性について評価した。

第 3 章では、CVC-TEG の構造と解析手法について提案し、CVC-TEG の試作品に予め搭載した疑似断線および疑似短絡について、触針式の電気テストにより断線および短絡不良の有無を電氣的に検知可能であり、また、FIB を用いた VC 法により上記の疑似欠陥のコントラスト差から不良箇所が特定可能であることを実験的に示しており、提案した CVC-TEG の有効性について評価した。

第 4 章では、CAA で求めた短絡、断線、層間接続不良のクリティカルエリアの相互関係に相関があることに着目し、複数製品の実績歩留りと CAA による短絡クリティカルエリアから歩留りを予測する新たな歩留り予測モデルを提案し、実際に問題製品の特定事例を示していることを評価した。また、同モデルを用いた歩留り統合管理システムの構築事例について内容を述べ、一連の解析に必要な作業工数を削減可能であることを実験的に示しており、同システムの有効性について評価した。

第 5 章では、ジオメトリ法を用いた配線組合せ別 CAA の実験結果により、救済歩留りを高精度に予測可能であること示しており、その有効性を評価した。また、モンテカルロ法を用いた市販 CAA シミュレータを実際に改良し、配線組合せ別 CAA の工数を削減した点について評価した。さらに、複数の冗長回路規模の組合せに対して、製品歩留り習熟推移を仮定して、製造コストを最小化するシミュレーションを試行し、冗長回路数の適正化手法を明らかにした点について評価した。

以上を要するに、著者は、システム LSI の設計、プロセス開発、および製品量産の各局面において、歩留り管理を適正化し、歩留り向上を支援する各種手法を実現し、実験的にその有効性を明らかにした。これらの手法は従来にない新規性の高い手法である。本研究の成果は、システム LSI に代表される電子デバイスの製造技術分野ならびに設計技術分野の発展に寄与するところ大なるものがある。よって、著者は北海道大学博士(情報科学)の学位を授与される資格あるものと認める。