

GaAs・FET の高性能化と集積化に関する研究

学位論文内容の要旨

本論文は、GaAs 電界効果トランジスタ (FET) の高性能化を目指して提案した種々の FET 構造と、素子製作技術、さらに、FET 集積化のプロセス設計に関するものである。3 種類のショットキ・ゲート形 FET と 1 種類の pn 接合ゲート形 FET を取り上げ、素子の構造設計、製作プロセス、素子評価について述べている。また、集積化の基礎技術として、素子表面平坦化技術、素子特性均一化について検討し、最後にこれら技術の総合結果として 1Kb スタティック RAM のプロセス設計、評価について述べており、8 章からなっている。第 1 章は、緒言であり、GaAs FET 研究の背景、デバイス及びプロセス技術の発展について概要を説明し本研究の目的と位置付けを明らかにした。第 2 章は、高周波特性を向上するため、ゲート電極を T 字形に形成した T 形ショットキ・ゲート FET について述べている。提案した FET は、ソース・ドレイン電極をゲート電極に対してセルフアラインで形成し、ゲート長サブミクロンとしてもゲート抵抗の増大を抑えることが出来、最高発振周波数 (f_{max})100GHz を達成した。プロセス技術としては、陽極酸化によるエピタキシャル能動層の厚み制御技術を採用し、T 形ゲート形成のための化学エッチング選択性とショットキ接合の耐熱性とを検討し、Ta/Mo/Au の 3 層構成がゲート金属として適していることを見出した。第 3 章は、エピタキシャル層を能動層とする場合の汎用性ある FET として、pn 接合をイオン注入により柱状に形成した柱状ゲート FET を提案している。従来の FET と異なり、電流は柱状ゲートで挟まれた能動層中央部を流れるため、ゲートピンチオフ時に基板界面の悪影響を受けない。ゲートが埋め込まれている事から所謂リセス構造と等価となり、ソース及びドレインの直列抵抗を低減している。また、ピンチオフ電圧は、ゲート間隔とキャリア濃度で決定されるため、エピタキシャル層の厳密な厚み制御が不要となる。プロセスとしては、Be イオン注入を p 形ゲート形成に用い、複数柱状ゲートの接続法について検討した。ゲート接続配線の MIS 効果について解析し、相互コンダクタンス (gm) への寄与分を定量化した。電子ビーム露光を柱状ゲートパタン形成に採用したリング発振器により、消費電力・遅延時間積で 64fJ を得ており、この結果から、さらなる微細化した際の性能を予測した。第 4 章は、集積化の基礎技術として素子表面の平坦化を図ったプレーナ構造 FET について述べている。半絶縁性基板に選択イオン注入で能動層を形成し、電極金属を絶縁膜スペーサによるリフトオフ技術で形成する事により、平坦な素子表面を得ている。オーミック電極に発生するボールアップの原因は蒸着金属中の吸着ガスであることを突き止め、微細オーミックパターンの平坦化法を確立した。ショットキ特性の均一性は、金属蒸着前のスパッタクリーニング及びショットキ形成後の熱処理により改善されることを見出した。また、ショットキ金属として用いた Ti/Pt/Au の厚みについてリフトオフ性と耐熱性との観点から最適化を図った。第 5 章は、前章のプレーナ構造 FET の集積化を図っており、16 ビットスタティック RAM の製作評価を通じて明らかとなった種々の問題点と解決法について述べている。回路構成は低消費電力で高集積化に適し

た E(エンハンスメント形)/D(デプレッション形)DCFL(Direct Coupled FET Logic)である。イオン注入によって E/D-FET を同一基板上に形成する制御技術について検討し、ゲート電極形成前の飽和電流から、閾値電圧 (VT) を推定することを提案した。HB(Horizontal Bridgeman) 結晶を用いる場合、シード側の基板ではテール側に比べ、VT が負になることを明らかにした。次いで、配線技術のポイントである素子表面の平坦さと短絡、断線との関係について考察し、二層配線技術を完成させた。スタティック RAM の動作についてリング発振器との比較から、アクセス時間の妥当性を検証するとともに、プレーナ構造 FET の限界を明らかにしている。第 6 章は、特に E-FET での駆動能力を増大するため、イオン注入による n+ 層を自己整合で形成した SAINT(Self-Aligned Implantation for N+-Layers Technology)・FET について述べている。まずその構造と特徴を他の FET と比較している。次いで、n+ 層のレプリカ形成技術と、ゲート電極を n+ 層に対して自己整合させるという従来にはない FET 製作技術とについて詳述している。この FET の有する種々の利点つまり、表面空乏層とソース・ゲート間直列抵抗との低減、ゲート電極と n+ 層との重畳量を制御することによる容量の抑制、VT のゲート方位依存性について明らかにした。DC 特性、VT 及び gm のゲート長依存性、リング発振器の諸特性について評価し、SAINT・FET が高速・大規模集積化に適合していることを確認した。第 7 章は、SAINT・FET を用いて初めて製作した 1Kb スタティック RAM について述べている。本 FET の採用により、層間絶縁、二層配線等の集積化プロセスにおける VT の変動を数 mV に抑制することが出来た。また、LEC(Liquid Encapsulated Czochralski) 結晶を用いることにより VT の制御性は向上している。アドレスアクセス時間に及ぼす VT と σ VT との影響を実験的に検証し、ゲート方位を一方向に揃えることにより 1.5ns の高速動作を確認した。また、歩留りにについても検討し、ゲート部の表面処理効果とゲート方位の影響とについて述べた。さらに IC を完成させるための検討課題として結晶の均一性についても議論した。第 8 章は、本研究により得られた結論であり、前章までに得られた結果を中心に、T 形ゲート FET、柱状ゲート FET、プレーナ FET および SAINT・FET の特徴を総括している。各 FET の主たる特徴を列挙すると次のようになる。(1)T 形ゲート FET は、プロセスにおいて完成度は未熟ではあるが、高性能 FET の原形であり、かつ単体 FET として十分な高周波性能を示した。(2)柱状ゲート FET は汎用性ある FET で、特にエピタキシャル能動層厚みの均一性に対し許容範囲が広い。(3)プレーナ構造 FET は、集積化を図る際の一ステップとして位置づけられ、集積化の基本技術を立ち上げたものである。(4)SAINT・FET は GaAs において、初めて高速・大規模集積化を実現したデバイスで、プロセスにおいても、完成度は高く、再現性にも優れている。最後に、その後の発展について述べ、基本技術として SAINT・FET を適用した IC は、5~10Gb/s 光ファイバー通信において、キー部品として実用化されるに至った。

学位論文審査の要旨

主 査 教 授 山 本 眞 史
副 査 教 授 雨 宮 好 仁
副 査 教 授 佐 野 栄 一

学位論文題名

GaAs・FET の高性能化と集積化に関する研究

本論文は、GaAs 電界効果トランジスタ (FET) の高性能化を目指して提案した種々の FET 構造と、素子製作技術、さらに、FET 集積化のプロセス設計に関するものである。3 種類のショットキー・ゲート形 FET と 1 種類の pn 接合ゲート形 FET を取り上げ、素子の構造設計、製作プロセス、素子評価について述べている。また、集積化の基礎技術として、素子表面平坦化技術、素子特性均一化について検討し、最後にこれら技術の総合結果として 1Kb スタティック RAM のプロセス設計、評価について述べており、8 章からなっている。

第 1 章は、緒言であり、GaAs FET 研究の背景、デバイス及びプロセス技術の発展について概要を説明し本研究の目的と位置付けを明らかにした。

第 2 章は、高周波特性を向上するため、ゲート電極を T 字形に形成した T 形ショットキー・ゲート FET について述べている。提案した FET は、ソース・ドレイン電極をゲート電極に対してセルフアラインで形成し、ゲート長サブミクロンとしてもゲート抵抗の増大を抑えることが出来、最高発振周波数 (f_{max}) 100GHz を達成した。プロセス技術としては、陽極酸化によるエピタキシャル能動層の厚み制御技術を採用し、T 形ゲート形成のための化学エッチング選択性とショットキー接合の耐熱性とを検討し、Ta/Mo/Au の 3 層構成がゲート金属として適していることを見出した。

第 3 章は、エピタキシャル層を能動層とする場合の汎用性ある FET として、pn 接合をイオン注入により柱状に形成した柱状ゲート FET を提案している。従来の FET と異なり、電流は柱状ゲートで挟まれた能動層中央部を流れるため、ゲートピンチオフ時に基板界面の悪影響を受けない。ゲートが埋め込まれている事から所謂リセス構造と等価となり、ソース及びドレインの直列抵抗を低減している。また、ピンチオフ電圧は、ゲート間隔とキャリア濃度で決定されるため、エピタキシャル層の厳密な厚み制御が不要となる。プロセスとしては、Be イオン注入を p 形ゲート形成に用い、複数柱状ゲートの接続法について検討した。ゲート接続配線の MIS 効果について解析し、相互コンダクタンス (gm) への寄与分を定量化した。電子ビーム露光を柱状ゲートパターン形成に採用したリング発振器により、消費電力・遅延時間積で 64fJ を得ており、この結果から、さらなる微細化した際の性能を予測した。

第 4 章は、集積化の基礎技術として素子表面の平坦化を図ったプレーナ構造 FET について述べている。半絶縁性基板に選択イオン注入で能動層を形成し、電極金属を絶縁膜スペーサによるリフトオフ技術で形成する事により、平坦な素子表面を得ている。オーミック電極に発生するボールアップの原因は蒸着金属中の吸着ガスであることを突き止め、微細オーミックパターンの平坦化法を確立した。ショットキー特性の均一性は、金属蒸着前のスパッタクリーニング及びショットキー形成後の熱処理により改善されることを見出した。また、ショットキー金属として用いた Ti/Pt/Au の厚みについてリフトオフ性と耐熱性との観点から最適化を図った。

第5章は、前章のプレーナ構造 FET の集積化を図っており、16 ビットスタティック RAM の製作評価を通じて明らかとなった種々の問題点と解決法について述べている。回路構成は低消費電力で高集積化に適した E(エンハンスメント形)/D(デプレッション形) DCFL (Direct Coupled FET Logic) である。イオン注入によって E/D-FET を同一基板上に形成する制御技術について検討し、ゲート電極形成前の飽和電流から、閾値電圧 (VT) を推定することを提案した。HB (Horizontal Bridgeman) 結晶を用いる場合、シード側の基板ではテール側に比べ、VT が負になることを明らかにした。次いで、配線技術のポイントである素子表面の平坦さと短絡、断線との関係について考察し、二層配線技術を完成させた。スタティック RAM の動作についてリング発振器との比較から、アクセス時間の妥当性を検証するとともに、プレーナ構造 FET の限界を明らかにしている。

第6章は、特に E-FET での駆動能力を増大するため、イオン注入による n+ 層を自己整合で形成した SAINT (Self-Aligned Implantation for N+-Layers Technology) ・FET について述べている。まずその構造と特徴を他の FET と比較している。次いで、n+ 層のレプリカ形成技術と、ゲート電極を n+ 層に対して自己整合させるという従来にはない FET 製作技術とについて詳述している。この FET の有する種々の利点つまり、表面空乏層とソース・ゲート間直列抵抗との低減、ゲート電極と n+ 層との重畳量を制御することによる容量の抑制、VT のゲート方位依存性について明らかにした。DC 特性、VT 及び gm のゲート長依存性、リング発振器の諸特性について評価し、SAINT ・FET が高速・大規模集積化に適合していることを確認した。第7章は、SAINT ・FET を用いて初めて製作した 1Kb スタティック RAM について述べている。本 FET の採用により、層間絶縁、二層配線等の集積化プロセスにおける VT の変動を数 mV に抑制することが出来た。また、LEC (Liquid Encapsulated Czochralski) 結晶を用いることにより VT の制御性は向上している。アドレスアクセス時間に及ぼす VT と σ VT との影響を実験的に検証し、ゲート方位を一方に揃えることにより 1.5ns の高速動作を確認した。また、歩留りについても検討し、ゲート部の表面処理効果とゲート方位の影響とについて述べた。さらに IC を完成させるための検討課題として結晶の均一性についても議論した。

第8章は、本研究により得られた結論であり、前章までに得られた結果を中心に、T 形ゲート FET、柱状ゲート FET、プレーナ FET および SAINT ・FET の特徴を総括している。各 FET の主たる特徴を列挙すると次のようになる。(1) T 形ゲート FET は、プロセスにおいて完成度は未熟ではあるが、高性能 FET の原形であり、かつ単体 FET として十分な高周波性能を示した。(2) 柱状ゲート FET は汎用性ある FET で、特にエピタキシャル能動層厚みの均一性に対し許容範囲が広い。(3) プレーナ構造 FET は、集積化を図る際の一ステップとして位置づけられ、集積化の基本技術を立ち上げたものである。(4) SAINT ・FET は GaAs において、初めて高速・大規模集積化を実現したデバイスで、プロセスにおいても、完成度は高く、再現性にも優れている。

最後に、その後の発展について述べ、基本技術として SAINT ・FET を適用した IC は、5~10Gb/s 光ファイバー通信において、キー部品として実用化されるに至った。

これを要するに、本論文は、GaAs 電界効果トランジスタの高性能化と集積化のために、新たに提案し、開発した FET 構造、素子製作技術、FET 集積化技術の有用性、特に、n+ 層をゲート電極に対して自己整合的に形成する FET 技術の集積回路応用への有用性を実証したものであり、これは電子デバイス工学の進歩に貢献するところ大なるものがある。よって著者は、北海道大学博士(工学)の学位を授与される資格あるものと認める。