

学 位 論 文 題 名

Fabrication and electrical characterization of
GaAs based quantum dot memories

(ガリウム砒素系量子ドットメモリの作製とその電気的特性評価)

学位論文内容の要旨

近年の高度情報化社会の発展に伴い、デジタルカメラや携帯電話などのポータブルデバイスの普及が急速に進み、Flash メモリに代表される半導体をベースとしたメモリの需要が急激に伸びている。Flash メモリはトランジスタの制御ゲートとその伝導チャネルとの間に浮遊ゲートを有している。浮遊ゲートは絶縁膜により完全に囲まれているため、注入された電荷を保持し続けることが可能である。現在、更なる記憶媒体の大容量化のためにデバイス構造とアーキテクチャの両面から様々なアプローチが試みられている。このような背景のもと高密度化が期待される量子ドット (ナノクリスタル) をストレージノードとして用いる量子ドットメモリが、次世代技術の一つとして注目されている。

現状の浮遊ゲート型メモリでは、デバイスの微細化に伴うスケールング則に従ってトンネル酸化膜の膜厚を薄くしていくと、浮遊ゲートにおけるリーク電流が増大して、ノードに蓄積されている電荷が放電してしまい、結果として情報が失われてしまうという問題がある。量子ドットメモリでは、絶縁膜中にリークパスが形成され特定の量子ドットが放電したとしても、量子ドットは絶縁膜中で互いに孤立しているため、その他の量子ドットは電荷を保持し続けることができ、情報を維持することが可能となる。すなわち、量子ドットをメモリノードとして用いることにより、デバイスの信頼性向上につながると共に、トンネル酸化膜を更に薄くすることができ、駆動電圧を下げる事が可能となる。また一方で、量子ドットをストレージノードとすることでノードサイズを極端に小さくできるため、更なる高集積化も期待される。しかしながら、ドットの密度が十分でないと蓄積される電荷の数が浮遊ゲートのそれと比べ少なくなるため、メモリウインドウを大きく取れないことやデバイスごとに包有するドットの数が異なるとメモリ特性のばらつきを生じさせるなどの問題がある。

本研究では、有機金属気相選択成長法 (MOVPE 選択成長法) と SK 成長モード (Stranski-Krastanow mode) を用い、ガリウム砒素系量子ドットメモリを作製し、その電気的特性を評価した結果について論じる。本手法を用いることにより、加工や汚染のない量子細線構造が作製できると共に、量子ドットの位置制御が可能となる。量子細線を伝導チャネルとして用いた場合、量子ドットにチャージされる電荷が微少であっても、細線中の伝導の変化を観測できる。また、量子ドットの位置制御はデバイス間のメモリ特性のばらつきを改善するものである。本論文は 6 章から構成されている。以下に各章の要旨を説明する。

第 1 章では、本研究の背景および目的を述べると共に、各章の概要を記した。

第2章では、本研究で用いたデバイスの作製手法について記述している。まず、選択成長用の基板作製に関して説明した後、MOVPE 選択成長法に関して、その原理、形成ファセット、自己停止機構等について記述した。続いて、本研究で量子ドット作製のために用いたSK 成長モードに関して、背景、それによる島構造の形成機構等を説明した。最後に選択成長法を用いた量子ドットの位置制御技術をいくつか紹介した。

第3章では、本研究で用いた形状、電気的特性の評価手法について記述している。まず、本研究で作製した構造の形状評価のために用いたAFM(Atomic force microscope)について、装置の概要、原理を説明し、続いて、メモリ動作の原因となる準位を検出、同定するために用いた電流DLTS法について、原理、解析方法について詳細に記述した。

第4章では、量子ドットメモリの作製とその電気的特性評価、及びMOVPE 選択成長を用いることによる量子ドットの位置制御について述べている。作製方法、及び作製したデバイス構造について紹介した後、まず静的な動作について評価した結果について記述した。20 Kでのドレイン電流(I_{ds})-ゲート電圧(V_g)特性において、30 mVの閾値電圧差を有するヒステリシスを観測した。また、そのヒステリシスは、温度上昇に伴い減少し、約200 Kで完全に消失した。続いて、第3章で述べた電流DLTS法を用い、過渡的な応答を評価することにより、ヒステリシスの原因となる準位の検出を試みた。その結果、量子ドット形成に伴い発生したと思われる3種類の電子トラップを検出した。以上の静的、動的な特性評価で得られた結果を比較することにより、発現するヒステリシスに最も貢献する成分を明確にした。また、DLTSピークの測定バイアス依存性から、それが量子ドット固有の準位である可能性が非常に高いことを示した。最後に、第2章で記述したMOVPE 選択成長特有の現象である自己停止機構を用い、量子ドットの選択形成を行った結果について記述した。

第5章では、より微細なメモリ構造に対して有用である、MOVPE 選択成長におけるセルフアラインゲートプロセスについて記述している。はじめに、その作製プロセスについて紹介した後、そのゲート制御性、及び構造的因子がゲート制御性に及ぼす影響について述べた。このプロセスは、 SiO_2/W 複合マスクを選択成長用のマスクとして用いることにより、ゲート電極をセルフアラインで形成するというものである。このセルフアラインゲートを有するGaAs/AlGaAs 細線トランジスタを作製し、電気的特性を評価することにより、そのゲート制御性について議論した。デバイス構造の最適化を行うことにより、良好なトランジスタ特性を得ることができ、ゲート制御性の指標である最大のトランスコンダクタンス($g_m \text{ MAX}$)は $600 \mu \text{ S}/\mu \text{ m}$ と非常に高い値が得られた。また、このセルフアライン型細線トランジスタにおいて、そのゲート制御性は、チャネル長やチャネル-ゲート間距離に依存せず、チャネル幅のみに依存するという結果を得た。このことから、この構造における動作原理が、量子井戸端に直接ショットキー接合を形成するIn-Plane ショットキーゲート構造によるものと非常に近いことを推測した。

第6章では、本論文の結論について簡潔にまとめた。

学位論文審査の要旨

主 査 教 授 福 井 孝 志

副 査 教 授 雨 宮 好 仁

副 査 教 授 橋 詰 保

副 査 助 教 授 本 久 順 一

学 位 論 文 題 名

Fabrication and electrical characterization of GaAs based quantum dot memories

(ガリウム砒素系量子ドットメモリの作製とその電気的特性評価)

近年の高度情報化社会の発展に伴い、デジタルカメラや携帯電話などのポータブルデバイスの普及が急速に進み、Flash メモリに代表される半導体をベースとしたメモリの需要が急激に伸びている。Flash メモリはトランジスタの制御ゲートとその伝導チャネルとの間に浮遊ゲートを有している。浮遊ゲートは絶縁膜により完全に囲まれているため、注入された電荷を保持し続けることが可能である。現在、更なる記憶媒体の大容量化のためにデバイス構造とアーキテクチャの両面から様々なアプローチが試みられている。このような背景のもと高密度化が期待される量子ドット (ナノクリスタル) をストレージノードとして用いる量子ドットメモリが、次世代技術の一つとして注目されている。

量子ドットメモリでは、絶縁膜中にリークパスが形成され特定の量子ドットが放電したとしても、量子ドットは絶縁膜中で互いに孤立しているため、その他の量子ドットは電荷を保持し続けることができ、情報を維持することが可能となる。すなわち、量子ドットをメモリノードとして用いることにより、デバイスの信頼性向上につながると共に、トンネル酸化膜を更に薄くすることができ、駆動電圧を下げる事が可能となる。また一方で、量子ドットをストレージノードとすることでノードサイズを極端に小さくできるため、更なる高集積化も期待される。

本研究では、有機金属気相選択成長法 (MOVPE 選択成長法) と SK 成長モード (Stranski-Krastanow mode) を用い、ガリウム砒素系量子ドットメモリを作製し、その電気的特性を評価した結果について論じている。本手法を用いることにより、加工や汚染のない量子細線構造が作製できると共に、量子ドットの位置制御が可能となる。量子細線を伝導チャネルとして用いた場合、量子ドットにチャージされる電荷が微少であっても、細線中の伝導の変化を観測できる。また、量子ドットの位置制御はデバイス間のメモリ特性のばらつきを改善するものである。

第1章では、本研究の背景および目的を述べると共に、各章の概要を記している。

第2章では、本研究で用いたデバイスの作製手法について記述している。

第3章では、本研究で用いた形状、電気的特性の評価手法について記述している。まず、本研究で作製した構造の形状評価のために用いた AFM (Atomic force microscope) について、装置の概要、

原理を説明し、続いて、メモリ動作の原因となる準位を検出、同定するために用いた電流 DLTS 法について、原理、解析方法について詳細に記述している。

第 4 章では、量子ドットメモリの作製とその電気的特性評価、及び MOVPE 選択成長を用いることによる量子ドットの位置制御について述べている。20 K でのドレイン電流 (I_{ds})-ゲート電圧 (V_g) 特性において、30 mV の閾値電圧差を有するヒステリシスを観測し、また、そのヒステリシスが、温度上昇に伴い減少し、約 200 K で完全に消失するという結果を得ている。続いて、電流 DLTS 法を用い、過渡的な応答を評価することにより、ヒステリシスの原因となる準位の検出を試みている。その結果、量子ドット形成に伴い発生したと思われる 3 種類の電子トラップを検出している。以上の静的、動的な特性評価で得られた結果を比較することにより、発現するヒステリシスに最も貢献する成分を明確にしている。また、DLTS ピークの測定バイアス依存性から、それが量子ドット固有の準位である可能性が非常に高いことを示している。

第 5 章では、より微細なメモリ構造に対して有用である、MOVPE 選択成長におけるセルフアラインゲートプロセスについて記述している。このプロセスは、 SiO_2/W 複合マスクを選択成長用のマスクとして用いることにより、ゲート電極をセルフアラインで形成するというものである。セルフアラインゲートを有する $\text{GaAs}/\text{AlGaAs}$ 細線トランジスタを作製し、電気的特性を評価することにより、そのゲート制御性について議論している。デバイス構造の最適化を行うことにより、良好なトランジスタ特性を得ることができ、ゲート制御性の指標である最大のトランスコンダクタンス ($g_{m\text{MAX}}$) は $600 \mu\text{S}/\mu\text{m}$ と非常に高い値を得ている。

第 6 章では、本論文の結論について簡潔にまとめている。

以上、これを要するに、化合物半導体系の量子ドットメモリを作製する上で、重要な作製技術、測定手法に関して、有益な知見を得たものである。

よって、著者は、北海道大学 (工学) の学位を授与される資格あるものと認める。