

学位論文題名

単電子回路によるニューラルネットワークの 構成に関する研究

学位論文内容の要旨

近年微細化技術の向上により LSI の動作周波数は上昇を続けている。この背景にはマルチメディア社会の発展によって、膨大な入力からなる計算の結果を待つことなく得たいというユーザの要求がある。この要求に答えるには LSI のさらなる高速動作が必要となるが、微細化限界、消費電力、電力密度などの問題に直面するため、既存の LSI では今後この要求を満たせなくなる可能性が高い。したがってこれに対応する新しい情報処理アーキテクチャや回路構成による LSI が必要となってきた。

このような新しい要求に応えるため、現在主流の情報処理アーキテクチャと回路方式一すなわちブール代数にもとづく情報処理を CMOS 回路で構成する一とは異なる情報処理アーキテクチャの回路化を試みる必要がある。そのような別種の情報処理システムとして本研究ではニューラルネットワークを取り上げ、それに適した回路構成法の検討を行った。

ニューラルネットワークは神経的特徴的な動作を模倣する単位演算素子を多数結合したものである。単位演算素子が並列に動作することによって全体の情報処理を高速に行うことができる。また入力と望ましい出力を与えてネットワークを学習させることによりアルゴリズムの解らない情報処理を行うことも可能である。ニューラルネットワークで実用的な情報処理を行うためには多数の単位演算素子が必要となるが、従来の CMOS 回路を用いると膨大な素子が必要となるので、単位演算素子の多い大規模な LSI は困難であった。

本研究では、確率的な動作をするニューラルネットワークと多値出力を持つニューラルネットワークを取り上げ、単電子回路によるハードウェアの方針を検討した。これらのニューラルネットワークは組合せ最適化問題を高速に解くことができる。これによって、カーナビの経路探索やプリント基板におけるチップのレイアウトなどの計算に必要な「与えられた制限を満たすような組合せ集合の中から一番よい組合せを選ぶ」といった処理を高速・低消費電力で行う可能性がある。これらのニューラルネットワークに必要な単位演算素子を機能的に実現する回路構成を提案し、単電子回路を用いて構成することによってコンパクトで消費電力の低い単位演算素子を構成できることを示した。これによって単電子回路によるニューラルネットワーク情報処理システムの実現の見通しを得た。

本論文は7章から構成されている。以下に各章の構成を示す。

第1章では、本研究の歴史的背景と目的を述べ、各章の概要を記す。

第2章では、ニューラルネットワークの一種である二値ホップフィールドネットワークについてその動作原理、応用の説明を行い、ホップフィールドの応用の一つである連想記憶を

例に具体的な動作について述べる。

第3章では、ホップフィールドネットワークの単位素子を確率的に動作させたボルツマンマシンについて、その動作を説明する。組合せ最適化問題の一つである Max Cut 問題を例としてその具体的な動作について述べる。

第4章では、ホップフィールドネットワークの基数を多値に拡張した多値ホップフィールドネットワークについて、その動作原理を示し、二次整数計画問題の求解動作を例にその具体的な動作を示す。

第5章では、単電子回路によるボルツマンマシンデバイスを提案する。電子のトンネリングは確率的な事象であり、これを利用することで単位回路のコンパクトな構成が可能となる。提案したボルツマンマシンデバイスを組み合わせたネットワークの構成法を説明する。組合せ最適化問題に対応した結合重みを与えた単電子回路によるネットワークのシミュレーションを行い所望の動作を確認した。次に、このネットワークを用いて組合せ最適化問題を解くため必要なアニーリング駆動の方法を二種類提案し、求解精度・制御の容易さについての考察を行う。

第6章では、単電子回路による多値ホップフィールドネットワークの単位ニューロン回路を提案する。量子ドットにおける過剰電子数の離散性を利用することで、コンパレータ回路を必要としないコンパクトな単位回路の構成が可能となる。

多値ホップフィールドネットワークの構成を示し、提案したネットワーク回路が二次整数計画問題を解くことを確認した。しかしこのネットワークでは問題の最適解ではなく比較的良好な解（極小解）に収束する危険性がある。そこで、5章の単位回路の持つ確率性を多値ホップフィールドネットワークに導入することを提案し、回路の改良を行った。シミュレーションにより、確率性を導入したネットワークにおいて極小解から最適解への収束を確認した。第7章では本論文の結論と今後の課題について述べる。

学位論文審査の要旨

主査	教授	雨宮好仁
副査	教授	酒井洋輔
副査	教授	山本真史
副査	助教授	浅井哲也

学位論文題名

単電子回路によるニューラルネットワークの 構成に関する研究

集積エレクトロニクスにおける目標の一つは、既存のLSIよりも遙かに大規模集積かつ消費電力の小さい次世代の集積回路を開拓することにある。そのためには、現用のLSIとは別種の手法で信号を処理する新しい機能LSIを開拓しなければならない。現用LSIの基本要素はCMOSデバイスによるブール代数論理回路であり、それを用いてノイマン型アーキテクチャにもとづく信号処理を行っている。現用LSIを越えるためには、CMOS回路とは異なる原理で動作する新しいデバイス回路による集積回路を創り出す必要がある。

本論文の著者は、新デバイスによる論理回路として単電子回路に着目した。単電子回路は近年の微細加工技術の進展によって実現が可能になった量子デバイス回路であり、電子一つひとつの輸送を制御することで信号処理を行う。高い集積度（CMOSの100倍以上）と小さい消費電力（CMOSの1/100以下）のLSIを創り出せると期待されている。そして単電子回路を用いてCMOSLSIと同じ方式のLSI――ブール代数論理回路とノイマン型アーキテクチャによる信号処理システム――を構成する研究が幾つかの研究機関において進められてきた。それに対して本論文では、CMOS回路にはない単電子回路の機能的な性質を活かす新しい方針として「単電子回路と非ノイマン型の信号処理アーキテクチャとを組み合わせることで新しい機能のLSIを創り出す」というアプローチを提案している。

本論文は、非ノイマン型の信号処理アーキテクチャの例としてニューラルネットワークを取り上げ、単電子回路との組み合わせによる高機能発現の可能性を明らかにしている。単電子回路ではクーロンブロック効果とトンネル現象を利用して電子個々の輸送を制御するので、従来のCMOS回路とは異なった特徴ある性質を示す。本論文では有用な特長の代表例として「確率性」と「離散性」の2点に着目し、ニューラルネットワークへの応用を検討

した。確率性とは適切な回路条件下で単電子回路の内部電圧が時間とともにランダム変動することであり、トンネル効果に確率的な待ち時間があることに由来する。離散性とは適切な回路条件下で単電子回路の内部電圧が量子化されることであり、回路内のノードに蓄積される電荷が電荷素量の整数倍であることに原因する。これらの現象はすでに知られていることであるが、電子回路と信号処理システムに応用するという考えはこれまでに提案されたことがなかった。

本論文の著者は、単電子回路における上記二つの特徴、すなわち確率性と離散性の応用について研究を進め、それによって単電子回路とニューラルネットワークの組み合わせによる新機能発現の見通しを得たものである。研究を進めるにあたってニューラルネットワークの中でもCMOSによる回路化が難しい高機能の相互結合形ネットワーク――ボルツマンマシンと多値ホップフィールドネットワーク――を念頭に置いた。そしてこれらをLSI化するために必要な単電子回路の構造を提案するとともに、必要な特性を実現するための回路設計方針を確立した。著者の提案と解析は単位ニューロン回路・ネットワーク構成法・動作のシミュレーション予測・CMOS回路とのインターフェイスなど多岐にわたっている。これらの検討をもとに単電子回路による相互結合形ニューラルネットワークLSIの実現方針を確立したものである。著者の研究は、提案の新規性、理論解析とシミュレーション実証の緻密性、新機能LSIに向けた有用性のいずれにおいても優れていると評価できる。

これを要するに、著者は単電子回路と非ノイマン型アーキテクチャを結びつけて高機能LSIを創るという新しい概念を提案し、さらにその具体化に向けた例として単電子回路による相互結合形ニューラルネットワークの構成法を開発したものであり、次世代集積回路の開拓研究に対して貢献するところ大なるものがある。

よって著者は北海道大学博士（工学）の学位を授与される資格があるものと認める。