

動的再構成可能な VLSI の汎用 IP 化に関する研究

学位論文内容の要旨

最近の集積回路技術の進歩に伴い、きわめて大規模なシステムを実用レベルで実現することが可能となってきた。従来は1枚の基板上でマイクロプロセッサを中心とする複数のLSIを組み合わせて構成していたシステムを、1個のLSIチップに統合できるようになった。設計手法の面から見ると、システムオンチップは、1個のLSI上で機能ブロックを組み合わせてシステムを構成することになる。すべてのブロックを新たに設計することもできるが、多くのシステムは、実績のある既知のブロックを中心に、新規設計のブロックを組み合わせることで実現できる。基板レベルのシステム設計で、マイクロプロセッサ、メモリ、標準I/Oなどはとくに必要がない限り既存のLSIを利用するのと同じことである。

回路設計またはシミュレーション環境もコンピュータ上で自動設計が充実になり、ユーザーが短時間で手元に回路の設計から実現まで出来るようになった。また、デジタル論理回路をプログラミングすることのできるIC、CPLD(Complex Programmable Logic Device)やFPGA(Field Programmable Gate Array)などの新しい方式が登場するとともに、集積度、動作速度が格段に向上する。これらのデバイスの発展により、デジタル回路の実装方法は大きく変化している。FPGA、CPLDは、実装密度が高いので基盤が小さく済み、配線量も大幅に減るとともに、設計変更が容易な点でも有利であり、現在のところ数千～数百万ゲート程度を収容できるものが市販されており、音声処理、画像処理などがone chipで実現できる。

従来、プログラミングデバイス上で実現するデジタルの設計にはCAD(computer aided design)を使用するが、最近ハードウェア記述言語が普及し、言語で回路構造または機能を記述して自動的にプログラミングデバイスの結線パターンに変換してくれる環境も広がってきました。ハードウェア言語は、HDLやVerilogやVHDLなどがある。本研究に、使われるのがIEEE標準ハードウェア記述言語になるVHDL(VHSIC Hardware Description Language)言語である。VHDLは、デジタル・ハードウェア・デバイス全般を記述するための言語である。ある特定のテクノロジー、ある特定の設計方法を想定したものではなく、デジタル・ハードウェア・デバイスの性質を抽象化したものを言語の基底としている。この抽象概念は、デジタル・デバイスの動作、タイミング、構造、それぞれの面から見た特徴を含んでいる。これらの特徴は、デジタル・デバイスの設計や記述に関して広い範囲の選択を与える言語体系にまとめられている。VHDLにその力と応用性をあたえる様々な抽象レベルの利用は、デジタル・デバイスの統一された記述を可能にしている。

システムオンチップ設計については、既知のブロックについてはわざわざ再設計せずに、過去の設計資産を再利用できれば設計の効率が大幅にアップする。ソフトウェア開発におけるライブラリ関数のように、再利用可能な設計資産を整備しておけば、以後の設計で容易に利用することができる。さらに、この再利用可能な設計資産を知的資産として流通させようとしたのが IP (Intellectual Property) である。しかし、ツールや IP の標準化が進まないこともあって、現在では IP の利用にかなり手間がかかってしまう。今後 IP の標準化が期待される。

従来のマイクロプロセッサを用いた計算機では、ハードウェア構成は固定であり、その上で実行されるソフトウェアを個別にプログラムすることで、多様な処理要求に対応してきました。

一方、近年急速に注目を集めている新しい概念である仮想ハードウェアは、仮想的に多くのハードウェア構成をプログラムしておき、その中からある時点の処理に適した構成を選択し、再構成して実際の処理を行うというものであります。この方式は、従来のマイクロプロセッサでは効率良く処理することが難しかった応用、例えばデータ通信処理、マルチメディア処理などの、不定形でかつ連続したデータの流れに対して様々な加工を行うことを特長とする処理を、一桁以上高速化・低電力化することが可能な技術である。

この仮想ハードウェアの研究・開発は従来、FPGA を始めとするプログラマブルロジック LSI を対象として行われてまいりました。しかしながら、これらの LSI では、ハードウェア構成を処理の実行中に変更しようとする、構成の変更に時間がかかり過ぎたり、細やかな制御が出来ないという問題がありました。そのため、より仮想ハードウェアに適した方向に進化させた、新しい LSI の研究が望まれておりました。

そこで本研究は、構想が動的に変更可能な再構成アーキテクチャを用いてより使いやすい IP の設計法を提案しました。その応用例として、デジタル・フィルタや FRM および PCA の汎用 IP を実現した。実験法としてハードウェア記述言語である VHDL を用いて回路を表現する方法を用いて、FPGA 上に VLSI を実現できることを示す。

本論文では、まず第 2 章で我々は動的に構造変更が可能な提案アーキテクチャを説明。次に第 3 章では、第 2 章で提案したアーキテクチャを適用してデジタル・フィルタの設計を説明する。第 4 章でアーキテクチャの演算部に使用される並列演算器の設計の説明と VHDL による汎用 IP 化の設計法について説明する。そして、第 5 章で FRM や PCA の汎用 IP の設計とシミュレーション結果を示す。第 6 章で FPGA 上に実現法と実験結果を示す。最後に第 7 章で本論文をまとめる。

学位論文審査の要旨

主 査 教 授 宮 永 喜 一

副 査 教 授 野 島 俊 雄

副 査 教 授 小 柴 正 則

副 査 教 授 小 川 恭 孝

副 査 教 授 三 木 信 弘 (公立はこだて未来大学)

学 位 論 文 題 名

動的再構成可能な VLSI の汎用 IP 化に関する研究

最近の集積回路技術の進歩に伴い、きわめて大規模なシステムを実用レベルで実現することが可能となってきた。従来は1枚の基板上でマイクロプロセッサを中心とする複数のLSIを組み合わせて構成していたシステムを、1個のLSIチップに統合できるようになってきている。回路設計またはシミュレーション環境もコンピュータ上で自動設計が充実になり、ユーザーが短時間で手元に回路の設計から実現まで出来るようになってきている。また、デジタル論理回路をプログラミングすることのできるIC、CPLD(Complex Programmable Logic Device)やFPGA(Field Programmable Gate Array)などの新しい方式が登場するとともに、集積度、動作速度が格段に向上してきた。これらのデバイスの発展により、デジタル回路の実装方法は大きく変化した。FPGA、CPLDは、実装密度が高いので基盤が小さく済み、配線量も大幅に減るとともに、設計変更が容易な点でも有利であり、現在のところ数千～数百万ゲート程度を収容できるものが市販されており、音声処理、画像処理などがone chipで実現できる。

従来、プログラミングデバイス上で実現するデジタルの設計にはCAD(computer aided design)を使用するが、最近はハードウェア記述言語が普及し、言語で回路構造または機能を記述して自動的にプログラミングデバイスの結線パターンに変換してくれる環境も広がってきた。ハードウェア言語は、HDLやVerilogやVHDLなどがあるが、本研究では、IEEE標準ハードウェア記述言語になるVHDL(VHSIC Hardware Description Language)言語を設計言語としている。VHDLは、デジタル・ハードウェア・デバイス全般を記述するための言語である。ある特定のテクノロジー、ある特定の設計方法を想定したものではなく、デジタル・ハードウェア・デバイスの性質を抽象化したものを言語の基底としている。この抽象概念は、デジタル・デバイスの動作、タイミング、構造、それぞれの面から見た特徴を含んでいる。これらの特徴は、デジタル・デバイスの設計や記述に関して広い範囲の選択を与える言語体系にまとめられている。VHDLにその力と応

用性をあたえる様々な抽象レベルの利用は、デジタル・デバイスの統一された記述を可能にしている。

システムオンチップ設計については、既知のブロックについてはわざわざ再設計せずに、過去の設計資産を再利用できれば設計の効率が大幅にアップする。ソフトウェア開発におけるライブラリ関数のように、再利用可能な設計資産を整備しておけば、以後の設計で容易に利用することができる。さらに、この再利用可能な設計資産を知的資産として流通させようとしたのが IP (Intellectual Property) である。しかし、ツールや IP の標準化が進まないこともあって、現在では IP の利用にかなり手間がかかってしまう。今後 IP の標準化が期待されている。

一方、近年急速に注目を集めている新しい概念である仮想ハードウェアは、仮想的に多くのハードウェア構成をプログラムしておき、その中からある時点の処理に適した構成を選択し、再構成して実際の処理を行うというものであります。この方式は、従来のマイクロプロセッサでは効率良く処理することが難しかった応用、例えばデータ通信処理、マルチメディア処理などの、不定形でかつ連続したデータの流れに対して様々な加工を行うことを特長とする処理を、一桁以上高速化・低電力化することが可能な技術である。

そこで本研究では、構想が動的に変更可能な再構成アーキテクチャを用いてより使いやすい IP の設計法を提案している。その応用例として、デジタル・フィルタや FRM および PCA の汎用 IP を実現した。実験法としてハードウェア記述言語である VHDL を用いて回路を表現する方法を用いて、FPGA 上に VLSI を実現できることを示している。

本論文では、まず第2章で動的に構造変更が可能な提案アーキテクチャを説明し、次に第3章では、第2章で提案したアーキテクチャを適用してデジタル・フィルタの設計を説明している。第4章でアーキテクチャの演算部に使用される並列演算器の設計の説明と VHDL による汎用 IP 化の設計法について説明し、第5章で FRM や PCA の汎用 IP の設計とシミュレーション結果を示している。第6章で FPGA 上に実現法と実験結果を示し、最後に第7章で本論文をまとめている。

これを要するに、筆者は、ハードウェアアーキテクチャが動的に変化する方式を新たに提案し、いくつかの具体的な例題に対してこれを応用しその有効性を示した。これにより、動的再構成ハードウェアアーキテクチャに関する多くの有益な知見を得ており、計算機科学の分野に貢献するところ大なるものがある。

よって筆者は、北海道大学博士(工学)の学位を授与される資格あるものと認める。