

学位論文題名

超高速 Si バイポーラトランジスタの構造・製造方法と
超高速 LSI への応用に関する研究

学位論文内容の要旨

1947年末のJ. BrattinとW. H. Bardeenによる点接触トランジスタの発明によりトランジスタの歴史の幕が開かれ、1949年のW. ShockleyによるPN接合理論の提案と1951年のPN接合トランジスタの発明とにより、ゲルマニウムの合金接合型トランジスタが開発され、量産化されたトランジスタのスタートが切られた。また、1959年のJ. Kilbyによる集積化のConceptの提案とR. Noyceによるプレーナ構造の提案とにより、集積回路(IC)の歴史が始まった。それ以来、通信、コンピュータ等各種システムの高性能化とともに、トランジスタとICは高周波化、高速化に向けてIsoplanar等の新たなトランジスタの構造・製法が次々と開発されてきた。

本論文は、Siバイポーラトランジスタの新しい構造と製法及びその超高速ICへの応用に関して行った研究について述べたものである。論文の構成は、第1章;研究の位置づけ、全体の概要、第2章;従来のプレーナ構造による遮断周波数 $f_T=8\text{GHz}$ のトランジスタの開発とPCM-400Mb/s超大容量同軸伝送方式への適用、第3章;提案した段付電極トランジスタ:SETの構造・製法・特性と4GHzマイクロ波通信方式等への適用、第4章;SET(Stepped

Electrode Transistor)を超高速ICに応用したE2IC(Elevated Electrode ICs)の構造・製法・特性、第5章;提案したSST-1(Super Self-Aligned Process Technology)トランジスタの構造・製法・特性と超高速ICへの応用、第6章;SST-1をLSI向きに改良したSST-2トランジスタの構造・製法・特性とLSIへの応用、第7章;SST-1をアドバンスしたSST-1Aトランジスタの構造・製法・特性とLSIへの応用及び1.6Gb/s超大容量光伝送方式用超高速IC等への応用、第8章;総括、である。

Siバイポーラトランジスタの高周波特性向上のためには、利得 $f_T/8\pi \cdot 2r_{bb'}$ CCからも明らかのように、遮断周波数 f_T をあげ、ベース抵抗 $r_{bb'}$ 、コレクタ・ベース接合容量 C_c を低減化させることが重要である。特に、外部ベース領域のベース抵抗とコレクタ・ベース接合容量の低減が必須である。一方、トランジスタの製造の面から、高周波化に伴うパターンの微細化により、高精度加工がリソグラフィ技術、エッチング技術及び電極形成技術等に要求される。これらの高度な加工精度は、一方でトランジスタの製造歩留まりの低下を招くこととなる。従って、高度な加工精度を要せずに高周波特性の良いトランジスタを作ることができる構造と、その製法が開発されることが望まれる。これらの点を満たすトランジスタとして、段付電極トランジスタSETを考案し、その実用化を図った。SETはメーカで量産され、低雑音高周波増幅用トランジスタ、Xバンド発振用トランジスタ、高周波高出力トランジスタ等として自動車電話方式基地局高周波高出力増幅器等の各種の高性能システムに使用されている。特に、高周波高出力トランジスタとしては、NTTの4GHzマイクロ波通信方式SF-B7のTWTの固体化を初めて図ったトランジスタとして用いられた。

SETは従来のプレーナ構造より同じ動作電流で、ベース領域の面積を約1/2に縮小でき、コレクタ・ベース接合容量、ベース抵抗を低減できる。これらの寄生素子は、Siバイポー

ラICのスイッチング速度を妨害するものであり、その低減は、ICの高速化に極めて有効である。このような観点から、SETを超高速ICに応用し、E2ICなる新構造の超高速ICを考案し、試作した。NTL回路を基本ゲートとして伝搬遅延時間85ps/gateと、シリコン超高速ICで初めて100ps/gateを切る特性を1977年に実現した。また、同時に180ゲートの8ビットALUも試作し、平均ゲート伝搬遅延時間が従来の最高速のものより約3倍高速化されたことを確認した。当時、Isoplanar構造のSiバイポーラICで、基本ゲート回路遅延時間100ps/gateを切るのは困難であるとみられていた。E2ICで初めて100ps/gateの壁を切り、その後のSi超高速バイポーラICの研究に大きな指標を与えることができた。

さらに一層の高速化、低電力化を図るためには、コレクタ・ベース接合容量、ベース抵抗等の寄生素子を低減化する必要があった。そこでトランジスタの微細化が容易な新しいトランジスタ構造SST-1を考案し、その製法を確立した。SST-1では、ベースP及びP+領域、エミッタN+領域、P+ベース多結晶シリコン電極引き出し部、エミッタコンタクト窓、これら全てを形成するのに、ホットエッチング工程は一回のみである。(従来のプレーナ構造では4回)従って、トランジスタの高速動作にとり最も重要な活性領域を、ホットエッチング工程での位置合わせ精度に無関係に形成することができる。つまり、これらの領域がセルフアラインされ、微細化される。また、浅接合ベース形成に有利な構造で、エミッタとベース両電極に多結晶シリコンを用い、これを不純物源として拡散し、エミッタ領域、ベース補償領域を形成しているため、信頼度的に安定な浅接合形成が可能となり、トランジスタの遮断周波数 f_T を高めることが出来る。SST-1はダブルポリシリコンのセルフアライン構造である。

NTL回路を基本ゲートにリング発信器を試作し、伝搬遅延時間63ps/gate、電力遅延積43fJ/gateなる最高速の値を実現し、シリコン超高速ICのより一層の高速化の可能性を示した。

1980年代半ばから今日にいたる超高速SiバイポーラICのトランジスタ構造は、従来のIsoplanar構造に換わり、ダブルポリシリコンのセルフアライン構造となった。SST-1トランジスタ構造はそのパイオニアとなった。

しかし、イオンミーリング技術を用いて構造を実現してきている為、異方性エッチングに対する選択性がなく、LSIを制御性よく試作するためには難があり、製法の改良が必要となった。異方性エッチングの可能なドライ加工技術の実現が待たれた。

セルフアライン化と性能の点で一步SST-1に譲るが、イオンミーリングを使わずLSI化が有利なSST-2トランジスタを新たに考案、製法を確立し、アクセスタイム2.7ns、消費電力500mWの1Kb ECLRAM、乗算時間10ns、消費電力660mWの8×8乗算器等、当時として最高の性能のバイポーラLSIを実現させた。

微細加工技術の研究開発が進展し、材料の違いにより、エッチングの選択性を出すことが出来る異方性エッチング技術:リアクティブイオンエッチング技術(RIE)が開発された。これを用いてSST-1を制御性良く作ることが出来る技術、つまり、SST-1をアドバンスしたSST-1Aを考案し、その製法を確立した。

SST-1Aは、SST-1と同様な特長をもち、1 μ mのホトリソグラフィ技術を用いて、0.5 μ m以下のエミッタ幅、ベースコンタクト幅を有する構造を実現できる。従来のプレーナ構造に比べて、同じ加工技術を用いて、エミッタ幅が1/2~1/3、ベース領域幅が1/3~1/4に微細化されるため、先述の寄生の容量と抵抗は、この分だけ小さくなる。

エミッタ幅0.35 μ mのSST-1Aトランジスタを用い、NTL回路で伝搬遅延時間30ps/G(1.48mW/G)、LCML回路で50ps/G(1.46mW/G)と、また、1/8分周器では最高動作周波数10.38GHzと、当時、最高速の値を実現した。

1.6Gb/s超大容量光伝送方式を実現するうえで、重要な課題の一つとして、中間中継器、多重化端局中継装置の超高速化があり、これを小形、高信頼度で実現するためには、超高速モノリジックICの実現が必須であった。当時、中間中継器用としては400Mb/s領域でのICが最高速のものであり、約4倍高速化したICが必要となった。SST技術と超高速回路設計技術とを用いて、1.6Gb/s超大容量光伝送用超高速ICを実用化した。SSTはNTTの大容量光伝送方式、デジタルマイクロ波通信方式等の高性能システム用超高速SSI, MSI, LSIに用いられて来

ている。

本論文で述べたSST-1を基本に、SST-2, SST-1Aと進展したSST技術は、さらにSST-1B, SST-1C, USSTと高周波化、高速化に向け開発が進められて来ている。また、SSTはメーカーで量産され各種通信システム、汎用大型コンピュータ、スーパーコンピュータ、携帯電話等に、今までに、使用された。1995年度までの、累積総生産額は約1000億円である。(特許許諾契約での報告データより集計)

学位論文審査の要旨

主 査 教 授 武 笠 幸 一
副 査 教 授 池 田 正 幸
副 査 教 授 小 川 吉 彦
副 査 教 授 雨 宮 好 仁

学 位 論 文 題 名

超高速 Si バイポーラトランジスタの構造・製造方法と 超高速 LSI への応用に関する研究

1959年のJ. Killbyによる集積化のConceptの提案により、集積回路(IC)の歴史が始まった。以来、通信、コンピュータ等各種システムの高性能化とともに、トランジスタとICは高周波化、高速化に向かって構造・製法が次々と開発されてきた。

本論文は、Siバイポーラトランジスタの新しい構造と製法およびその超高速ICへの応用に関して行った研究について述べたものである。

- 1) Siバイポーラトランジスタの高周波特性向上のためには、遮断周波数をあげ、ベース抵抗、コレクタ・ベース接合容量を低減化させることが重要である。特に、外部ベース領域のベース抵抗とコレクタ・ベース接合容量の低減が必須である。製造歩留まりの低下を招く高度な加工の精度を要せずに高周波特性の良いトランジスタを作ることができる構造と、その製法が開発されることが望まれる。これらの点を満たすトランジスタとして、段付電極トランジスタSETを考案し、その実用化を図った。SETを超高速ICに応用し、E2ICなる新構造の超高速ICを考案し、試作した。Isoplanar構造のSiバイポーラICで、基本ゲート回路遅延時間100ps/gateを切るのは困難であるとみられていたが、その壁を破り、その後のSi超高速バイポーラICの研究に大きな指標を与えることができた。
- 2) さらに一層の高速化、低電力化を図るためにトランジスタの微細化が容易な新しいトランジスタ構造SST-1を考案し、その製法を確立した。ダブルポリシリコンのセルフアライン構造のSST-1では、信頼度的に安定な浅接合形成が可能となり、トランジスタの遮断周波数を高めることが出来た。従来のIsoplanar構造に換わり、SST-1トランジスタ構造はダブルポリシリコンのセルフアライン構造のパイオニアとなった。セルフアラ

イン化と性能の点で一步SST-1に譲るが、イオンミリングを使わずLSI化が有利なSST-2トランジスタを新たに考案、製法を確立し、当時として最高の性能のバイポーラLSIを実現させた。

- 3) 異方性エッチング技術:リアクティブイオンエッチング技術(RIE)が開発され、これを用いてSST-1を制御性良く作ることが出来る技術、つまり、SST-1をアドバンスしたSST-1Aを考案し、その製法を確立した。エミッタ幅 $0.35\mu\text{m}$ のSST-1Aトランジスタを用い、当時、最高速の値を実現した。
- 4) SST技術と超高速回路設計技術とを用いて、1.6Gb/s超大容量光伝送用超高速ICを実用化した。SSTは大容量光伝送方式、デジタルマイクロ波通信方式等の高性能システム用超高速SSI, MSI, LSIに用いられて来ている。

本論文のSST-1を基本に、SST-2, SST-1Aと進展したSST技術は、さらにSST-1B, SST-1C, USSTと高周波化、高速化に向け開発が進められて来ている。また、SSTはメーカーで量産され各種通信システム、汎用大型コンピュータ、スーパーコンピュータ、携帯電話等に、使用された。これを要するに、本論文はSiバイポーラトランジスタの新構造・製造について研究を行い、超高速ICへの応用および実現化をはかり、有益な多くの新知見を得ており、半導体工学、集積回路工学分野に貢献するところ大なものがある。よって著者は北海道大学博士(工学)の学位を授与される資格あるものと認める。