

学位論文題名

自己学習型アナログニューラルネットワーク LSI 構成法の研究

学位論文内容の要旨

本研究は、主としてフィードバック型ネットワークの実時間実行に有効な、自己学習型アナログニューラルネットワーク L S I の構成法を確立するものである。

近年、脳研究の構成的方法としてニューラルネットワーク研究が活発化するとともに、各種応用にも適用され、優れた成果が得られ始めている。超並列性と適応能力を特長とするニューラルネットワークを実時間で効率的に実行するには専用ハードウェアが望ましい。特にアナログダイナミクスを利用する高機能なモデルの実行には、アナログ回路で構成され、学習機能をオンチップ化した自己学習型アナログニューロ L S I が適している。

従来発表されているアナログニューロ L S I には、シナプス荷重の記憶用としてデジタルメモリを用いたものと、キャパシタの蓄積電荷を利用したものがある。前者は、荷重を量子化しているために本質的にアナログ演算ができないという問題がある。また、荷重の高精度化とシナプス回路の集積化が両立しないという問題があり、理想的なアナログニューロ L S I の形態ではない。一方、後者の方法は上記の問題がないが、既発表の L S I では荷重更新分解能が低く、実用的な学習が行えないという問題があった。また、キャパシタの蓄積電荷はリーク電流により短時間に放電してしまうので適用分野が限られるという問題がある。現状で実用的なシナプス荷重記憶用素子は浮遊ゲート型不揮発性メモリ素子であるが、線形書き込みが困難などの理由から、自己学習型アナログニューロ L S I に適用された例はなかった。また、従来技術ではニューロ L S I 上で実行できる学習モデルは1種類に固定されており、汎用性に乏しいという欠点があった。

以上の問題を解決するために、本研究は、高分解能荷重更新が可能で、実用的な自己学習型アナログニューロ L S I を開発することを目的とする。まず、アナログ回路上での学習に障害となる演算誤差を解析し、オンチップ学習に必要な演算精度とは何かを明らかにした。次に、開発に必要な要素技術(学習方式・回路構成・L S I アーキテクチャ)を提案し、試作 L S I によりその有効性を確認した。また、自己学習型アナログニューロ L S I の適用に適した応用例を提案し、実験により基本機能を確認した。得られた成果は以下に示す通りである。

- 1) L S I に内蔵した学習モデルは、フィードフォワードネットワークおよびカレントネットワークでの基本学習法であるバックプロパゲーション(BP)学習、およびフィードバック型ネットワークの代表的モデルである決定論的ボルツマンマシン(DBM)である。これらは拡張ヘップ学習として統一することができることを明らかにし、同一のユニット L S I の組合せで実現可能なアーキテクチャを提案した。
- 2) アナログ回路において発生する演算誤差とネットワーク性能の関係性を明らかにした。BP学習において、ニューロンの活性化関数とその導関数との mismatch により学習性能が劣化することを見出した。これを防止するために、「導関数生成時のスケール因子(温度パラメータ)を活性化関数のそれとは独立にとり、前者の温度パラメータを後者のそれよりも大きくする方法」を提案し、学習性能が改善できることを確認した。また、BP学習

では学習過程でのオフセット誤差が学習性能に敏感に影響することを明らかにした。更に、荷重量子化の学習への影響と、アナログ荷重におけるランダム雑音の影響を調べた。その結果、荷重を量子化した場合は13ビット程度以上の精度が必要であること、アナログ荷重の場合はランダム雑音により分解能が5ビット程度に劣化しても学習が行えることがわかった。これは、ニューラルネットワークの学習にはデジタルメモリで実現する量子化された「絶対精度」よりも、アナログメモリで実現が容易な「平均的分解能」（即ち、雑音が加わっていてもよい）が重要であることを示している。

3) アナログニューロLSIでの実行に適した学習アルゴリズムを求めた。まず、DBM学習の特徴を解析し、アナログLSIでの実行に適した学習シーケンスとして「完全逐次荷重修正方式」を提案し、その有効性をシミュレーションで確認した。次に、BP学習でのオフセット誤差による学習性能の劣化を低減するために、新しいBP学習として「対比BP学習法」を提案し、その有効性をシミュレーションで確認した。

4) 自己学習型アナログニューロLSIを構成するための基本回路を開発した。基本演算ユニットとして、「直結可能な低消費電力型バッファアンプおよび乗算器」を提案し、設計手法を明らかにした。これらの基本回路の変形・組合せにより、シグモイド関数およびその導関数などを生成する各種非線形演算回路を提案し、実回路により特性を評価した。

5) 自己学習型アナログニューロLSIの最も重要な構成要素であるシナプス荷重記憶用のアナログ記憶デバイス・回路について検討した。記憶デバイスとしてはキャパシタを用いる方法と浮遊ゲート型記憶素子を用いる方法の2種類を検討した。高分解能荷重更新可能な制御回路を開発し、前者については揮発性だが高速（荷重更新速度1MHzまで可能）・高分解能（14ビット以上）、後者については新しいデバイス構造を採用することで、低速（40kHz）だが高分解能（14ビット以上）でかつ不揮発性な特性を得た。

6) アナログニューロLSI用のチップアーキテクチャを提案した。LSIチップは対比ヘップ学習機能を内蔵した単層全結合型ネットワークユニットである。多チップ構成ではブランチニューロンアーキテクチャを採用し、負荷の増大による動作速度の低下を抑制した。複数チップの組み合わせにより、任意の結合形態のBPネットワークおよびDBMを構成できることを示した。また、学習回路の一部を時分割で使用することにより、集積度の向上を図った「部分的逐次荷重更新型アーキテクチャ」を提案した。

7) アナログニューロLSIのプロトタイプを試作・評価した。チップは2種類ある。その一つは2層ポリシリコン・アナログLSIプロセスを用いたキャパシタメモリ型ニューロチップであり、完全並列型アーキテクチャを採用している。もう一つは不揮発性メモリ型ニューロチップであり、汎用EEPROMプロセスと高抵抗ポリシリコンプロセスを組合わせた専用プロセスを用いている。このチップでは部分的逐次荷重更新型アーキテクチャを採用している。以上の試作チップにより、通常のBP学習、対比BP学習およびDBM学習をオンチップ上で確認した。

8) 自己学習型アナログニューロLSIの適用に適した応用例を提案した。信号識別の前処理として有効と考えられる「適応型パターンパスフィルタモデル」を提案した。このモデルはフィードフォワードネットワークとホップフィールドネットワークを組み合わせた構成になっている。前者は入力信号の周波数成分を抽出し、後者は減衰項付きヘップ学習により周波数成分同士の同期性を学習し、同期した周波数成分のみを選択抽出する。シミュレーションおよび試作チップを用いた実回路実験により基本動作を確認した。

以上の検討により、実用的自己学習型アナログニューロLSI構成法を確立することができた。

学位論文審査の要旨

主 査 教 授 雨 宮 好 仁
副 査 教 授 小 川 吉 彦
副 査 教 授 長 谷 川 英 機
副 査 教 授 佐 藤 義 治

学 位 論 文 題 名

自己学習型アナログニューラルネットワーク LSI 構成法の研究

本研究は、主としてフィードバック型ネットワークの実時間実行に有効な、自己学習型アナログニューラルネットワーク L S I の構成法を確立するものである。

超並列性と適応能力を特長とするニューラルネットワークモデルを実時間で効率的に実行するためには専用ハードウェアが必要である。なかでもネットワークダイナミックスを利用するフィードバック形高機能モデルの実行には、学習機能をチップ上に搭載した自己学習型アナログニューロ L S I が不可欠である。しかし、L S I 実現のために解決すべき演算誤差や荷重分解能など各種の問題があつて、これまで自己学習型アナログニューロ L S I を実現することはできなかった。本研究はこの点を解決するために遂行されたものである。その主要な成果は次の点に要約される。

- (1) ニューラルネットワークのための主要な学習モデルとして、フィードフォワードネットワークの基本学習法であるバックプロパゲーション、およびフィードバック型ネットワークの代表的モデルである決定論的ボルツマンマシンを取り上げた。これらを拡張ヘップ学習として統一することができることを明らかとし、同一ユニット機能の組合せで実現するための L S I 用アーキテクチャを提案した。
- (2) アナログ回路において発生する演算誤差とネットワーク性能の関係を明らかにした。バックプロパゲーション学習において、ニューロンの活性化関数とその導関数との mismatch による学習性能の劣化を防止するため、「導関数生成時のスケーリング因子を活性化関数のそれとは独立にとつて前者の温度パラメータを後者のそれよりも大きくする方法」を提案し、学習性能が改善できることを確認した。また、バックプロパゲーション学習では学習過程でのオフセット誤差が学習性能に敏感に影響することを明らかにした。さらに、荷重量子化の学習への影響と、アナログ荷重におけるランダム雑音の影響を調べた。その結果、荷重を量子化した場合は 13 ビット程度以上の精度が必要であること、アナログ荷重の場合は分解能が 5 ビット程度に劣化しても学習が行えることを示した。ニューラルネットワークの学習では、デジタルメモリで実現する量子化された「絶対精度」よりも、アナログメモリで実現が容易な「平均的分解能」（即ち、雑音が加わっていてもよい）が重要であることを明らかにした。

- (3) アナログニューロLSIでの実行に適した学習アルゴリズムを開発した。はじめに、決定論的ボルツマンマシン学習をアナログLSIで実行させるための学習シーケンス「完全逐次荷重修正方式」を提案し、その有効性をシミュレーションで確認した。次に、バックプロパゲーション学習でのオフセット誤差による学習性能の劣化を低減するために、新しい学習法「対比バックプロパゲーション法」を提案し、その有効性をシミュレーションで確認した。
- (4) 自己学習型アナログニューロLSIを構成するための基本回路を開発した。基本演算ユニット「直結可能な低消費電力型バッファアンプおよび乗算器」を提案し、設計手法を明らかにした。これらの基本回路の変形・組合せにより、シグモイド関数およびその導関数などを生成する各種非線形演算回路を提案し、実回路により特性を評価した。
- (5) 自己学習型アナログニューロLSIの最も重要な構成要素であるシナプス荷重記憶用のアナログ記憶デバイス・回路について検討した。記憶デバイスとしてはキャパシタを用いる方法と浮遊ゲート型記憶素子を用いる方法の2種類を検討した。高分解能荷重更新可能な制御回路を開発し、前者については揮発性だが高速（荷重更新速度1MHzまで可能）・高分解能（14ビット以上）、後者については新しいデバイス構造を採用することで、低速（40kHz）だが高分解能（14ビット以上）でかつ不揮発性な特性を得た。
- (6) アナログニューロLSI用の新しいアーキテクチャを提案した。すなわち、多チップ構成に向けたブランチニューロンアーキテクチャを提案し、負荷の増大による動作速度の低下を抑制した。また、学習回路の一部を時分割で使用するにより、集積度の向上を図る「部分的逐次荷重更新型アーキテクチャ」を提案した。
- (7) アナログニューロLSIのプロトタイプを試作・評価した。その一は2層ポリシリコン・アナログLSIプロセスを用いたキャパシタメモリ型ニューロLSIであり、完全並列型アーキテクチャを採用している。その二は不揮発性メモリ型ニューロLSIであり、汎用EEPROMプロセスと高抵抗ポリシリコンプロセスを組合わせた専用プロセスを用いている。このチップでは部分的逐次荷重更新型アーキテクチャを採用している。以上の試作チップにより、対比バックプロパゲーション学習と決定論的ボルツマンマシン学習をオンチップ上で確認した。
- (8) 上記の結果をもとにアナログニューロLSIを設計・試作した。応用例として、信号識別の前処理に用いる適応型パターンバスニューラルフィルタを構成し、その機能を確認した。これによって、本研究によるアナログニューロLSI構成法の実用性を確認した。

これを要するに、著者はこれまで実現不可能であった自己学習型アナログニューロLSIの構成法を確立したものであり、集積回路工学の進歩に貢献するところ大なるものがある。よって著者は、北海道大学博士（工学）の学位を授与される資格あるものと認める。