

学位論文題名

CMOS ラッチアップの解析と耐設計法への応用に関する研究

(Analysis of CMOS Latch - up and Its Application to High Immunity Design Methodology)

学位論文内容の要旨

近年、低消費電力・高ノイズマージンを特長としたCMOS LSI技術の微細化の進展はめざましく、高性能なCPUや高集積なメモリに応用されている。しかし、微細化するにしたがいラッチアップ現象によるLSIの動作障害がクローズアップされるようになった。CMOS構造ではPNP寄生バイポーラトランジスタとNPN寄生バイポーラトランジスタがあり、この2つが結合して寄生PNPNサイリスタ構造を形成している。ラッチアップ現象とは、この寄生サイリスタが、入出力端子から混入する外来雑音等の何らかのトリガにより導通して過大な電源電流がLSI内に流れる現象である。いったんラッチアップ状態になるとLSIは機能しなくなり、また早急に電源を遮断しないと過大電流による素子破壊や配線断線を生じることがある。このように、CMOS LSIの発展とともに、ラッチアップの抑制が重要な問題であった。従来ラッチアップに関する研究では耐性評価としては保持電圧・保持電流等でなされ、これらの値を向上するために素子構造ならびにレイアウト設計がなされてきたが、その効果は定性的な把握の範囲であり、かつ微細化と低コスト化は相反するものなので、的確な耐ラッチアップ設計は本質的に難しいことであった。しかし、設計寸法が $2\mu\text{m}$ レベルまでは、構造設計自体の余裕があり、定性的なラッチアップ対策でも対処できた。しかし、LSIの微細化が進み、1982年頃から $1\mu\text{m}$ ～サブ μm 領域の研究が始まるとともに、事態が一変した。このような微細領域では、デバイス構造に冗長な設計をすることができない。したがって、新しいLSIの設計ごとにラッチアップ特性を測定・評価し、その結果をもとに微細化を阻害しないよう最小限かつ的確なラッチアップ対策方針を立てる必要がある。そのため、LSIの微細化とともに、測定・評価・モデリングを含む系統的かつ定量的な耐ラッチアップ設計の研究が必要となった。

本研究は、CMOS LSIにおけるラッチアップ現象の解析および耐ラッチアップ設計指針の検討に関する。本研究の目的は、今後のCMOS LSI微細化に対応するための系統的かつ定量的な耐ラッチアップ設計指針を確立することである。具体的な検討内容は、①CMOS構造におけるラッチアップ過渡特性の評価法を確立する、②ラッチアップ現象の動的メカニズムを数値解析により解明する、③ラッチアップトリガ電流の温度依存性をデバイスパラメータで解析する、④LSI内でのラッチアップ発生箇所の同定を $1\mu\text{m}$ 以下以下の高分解能で行う、および⑤LSI内部回路における耐ラッチアップ設計指針

を確立する、ことである。以下に、得られた検討結果を各項目ごとにまとめる。

①ラッチアップ過渡特性を測定・評価する方法の確立

パルストリガ電流に対するラッチアップ過渡応答特性の評価法を提案した。それを用いて種々のトリガ入力モードに対する閾値トリガ電流のパルス幅依存性、ラッチアップターンオン波形を測定した。これらの結果をもとに、ラッチアップ閾値トリガ電流のパルス幅依存性は、寄生バイポーラトランジスタのベース走行時間で説明できることを示した。さらに、パワーアップ時の変位電流およびNMOSトランジスタにおけるインパクトイオン化基板電流によるラッチアップ過渡応答を評価した。

②シミュレーションによるラッチアップ現象の詳細解析

2次元デバイス数値解析技術を用いたラッチアップ現象の詳細な解析を行い、ラッチアップ過程における寄生素子の変調効果を明らかにした。この知見をもとに回路シミュレーションにおける等価回路モデルの素子パラメータ（電流増幅率、ベース走行時間、寄生等価抵抗）の変調効果を導入することでラッチアップのターンオン波形および閾値トリガ電流のトリガパルス幅依存性を定量的に解析することが可能であることを示した。次に、2次元デバイス過渡解析シミュレータを宇宙環境下でのLSI使用を想定した重イオン粒子入射によるCMOSラッチアップの解析に適用した。重粒子入射後の生成キャリアのラッチアップ過程における動的振る舞いを調べるとともに重粒子の種々の入射条件に対するラッチアップ耐性の関係を調べ、ラッチアップの有無に関しての入射角・入射位置・飛跡上生成キャリア密度依存性を明らかにした。

③ラッチアップ温度特性の詳細解析

ラッチアップトリガ電流の温度依存性を実験的に評価した。25°Cで規格した実験式 $I_{tr}(T) = I_{tr}(25)/[1 + \gamma(T-25)]$ を用いると、Pウェルトリガ電流で-0.83%/°C ~ -1.0%/°C、Nウェルトリガ電流で-0.5%/°C ~ -0.65%/°Cであった。さらに、寄生PNPN構造を構成する各パラメータ自体（電流増幅率、エミッタベース間順方向電圧、等価ウェル抵抗）の温度依存性も評価し、トリガ電流とパラメータとの温度依存性の関係をしらべた。この結果、各パラメータの温度係数を考慮して計算したラッチアップトリガ電流値の温度依存性が実験結果と良く一致することを示した。

④微小発光現象によるラッチアップの位置観察法の確立

ラッチアップのオン状態からの微小発光現象に注目し、2次元フォトン計数実験とデバイスシミュレーションによって発光現象のメカニズムの解析を行い、フォノンを介した再結合発光を仮定すると、発光領域ならびに発光スペクトルが実測結果を説明できることを示した。ラッチアップ状態からの発光スペクトル特性がホットエレクトロン発光と本質的に異なることを利用して、CMOS LSIにおけるラッチアップの発生箇所の同定が簡便かつ1μm以下の高分解能で行えることを示した。

⑤内部回路における耐ラッチアップ設計指針の確立

CMOS/BiCMOS LSIの内部回路におけるラッチアップ耐性を評価できるテスト構造の提案し、耐性確保のウェルコンタクト配置の重要性を明らかにした。さらに一様生成トリガ電流注入モードでの実用的ラッチアップ回避可能な設計指針を得るためのモデル（寄生素子パラメータ値、レイアウト設計寸法、生成トリガレベルで記述されるモデル）を提案した。本モデルでは、「ラッチアップが生じない最大許容ウェルコンタクト配置距離 a 」は、寄生デバイスパラメータ $\rho_s, \beta_n, R_{NW}, V_{FN}, V_{FP}$ 、レイアウト設計寸法 h, b 、ならびに内部回路で生成されるトリガ電流密度 J の関数で記述されている。応用例として本モデルを標準セルベースCMOSインバータ回路のラッチアップ解析に適用し、許容ウェルコンタクト距離 a の計算値が実験結果と良く一致することを示した。

以上の検討結果により、今後の微細CMOS LSIの耐ラッチアップ化に対応できる系統的かつ定量的な評価・設計法を確立することができた。

学位論文審査の要旨

主 査 教 授 雨 宮 好 仁
副 査 教 授 長 谷 川 英 機
副 査 教 授 田 頭 博 昭
副 査 教 授 武 笠 幸 一

学位論文題名

CMOS ラッチアップの解析と耐設計法への応用に関する研究

本研究は、微細 CMOS 集積回路の動作妨害要因となるラッチアップ現象を理論と実験の両面から解析し、その結果をもとにラッチアップ防止のための効果的な設計指針を確立したものである。

現用 LSI の主流である CMOS 集積回路にはラッチアップと呼ばれる現象があり、これが CMOS の微細化を難しいものにしていく要因の一つである。ラッチアップとは、CMOS 構造において本質的に避けることができない寄生 pnpn サイリスタが存在し、これが外乱雑音により導通-電源短絡を生じて LSI を動作不能もしくは破壊に追い込む現象である。CMOS LSI の微細化にともなって系統的かつ定量的な耐ラッチアップ設計方針の確立が重要な課題となっており、本研究はその要求に応えるために遂行されたものである。その主要な成果は、次の点に要約される。

- (1) これまで困難であったラッチアップ過渡特性の評価を可能とするための測定手法として、パルストリガ電流発生回路とパルス電圧源の導入による測定法を提案した。これを用いてラッチアップに対する各種トリガ要因の影響を定量把握することを可能とした。
- (2) ラッチアップ解析に適した CMOS デバイスシミュレーション手法を開発し、ラッチアップ時の電位分布とキャリア挙動に対する知見を得た。
- (3) ラッチアップの温度特性を理論的に解析し、温度上昇にともなうラッチアップ耐性低下の主要因を明らかにした。
- (4) LSI のラッチアップ発生箇所を正確に検出するための新しい観察法を提案した。すなわちラッチアップ部分のキャリア再結合発光スペクトルがホットエレクトロン発光スペクトルと異なることに着目し、両者を高分解能で識別する手法を開拓した。
- (5) LSI 内部回路の効果的な耐ラッチアップ設計方法を提案した。すなわち、寄生素子パラメータとレイアウト設計パラメータを用いて実用的な耐ラッチアップ設計条件を定式化することに成功した。

以上のように本論文は、CMOS 集積回路のラッチアップ現象について測定・評価・モデリング・耐設計を包含する系統的かつ定量的な設計解析体系を確立したものであり、電気工学の進歩に寄与するところ大である。

よって著者は、北海道大学博士（工学）の学位を授与される資格あるものと認める。