

## 学 位 論 文 題 名

高速 VLSI の設計におけるメモリアクセス依存性と  
多相ラッチの配置に関する研究

## 学位論文内容の要旨

ASIC 需要の急増とその基盤技術の進歩の中、近年、ASIC の設計は、高速化設計、設計時間の短縮と大規模回路設計という大きな問題を抱えている。ASIC の設計は通常、複数の設計階層に分けて考えられる。システムレベルでは、回路は CPU やメモリなどの部品で構成されていると見なす。機能レベルでは、回路は記憶素子と機能素子とにより構成されているものと見なす。本研究は ASIC の設計において現在多くの問題を抱えているこの 2 つのレベルでの設計支援に関する研究を行ったものである。

システムレベル設計に関してはその研究が最近開始されたばかりであり、いくつかの設計技法が個別に知られているのみである。将来のシステムレベルでの設計支援を考えた場合、設計支援システムに求められる機能が何であるかを明かにする必要がある。

機能設計に関しては、80年代から多くの研究がなされてきている。ASIC の設計を考えた場合、高速性に特長を持つ多相方式に着目する必要がある。従来よく用いられてきた単相方式では 1 つの相信号しか用いないのに対し、多相方式では複数の相信号を用いる。これにより、より精細なタイミング制御が可能になり、高速な回路が実現される。

多相方式の同期回路を設計対象とする設計アルゴリズムに関する研究は 1980 年代後半に開始された。ステージ分割法と呼ばれるパイプラインを設計対象とした設計手法に関する研究が行われた。この方法はパイプラインを対象としたために、ループを含む回路の設計に用いることはできない。ASIC では、ループを持つ回路はしばしば現れるため、この欠点を無視することはできない。

1991 年には、多相方式を用いた動的回路の制御系設計ツールについて発表されている。機能設計では、通常、回路をデータパスと制御部とに分離して設計が行われる。データパスはデータに処理を施し、制御部はデータパス中の各処理素子の制御を行う。上記の研究はその内の制御部のみに関する研究であり、データパスの設計に対処することはできない。

本論文では、システムレベルでの設計支援システムに望まれる機能を明かにすることを目的として、システムレベル設計の事例研究について述べており、さらに、多相方式のデータパスの機能設計を支援することを目的として、そのための設計手法について述べている。本論文は、以下のように構成される。

2章では、ASICの設計の支援が必要になってきた背景について述べる。最初に、ASICが持つ特徴から、設計支援の必要性が大きいことを述べる。ASICを支える基礎技術として重要なVLSIテクノロジー、回路構成方式、設計階層の説明を行った後、現在までに歩んできたVLSI設計の歴史を、本論文で扱った2つの研究と関連させながら論じる。現在ASIC設計が直面している問題点を検討した後、これからの設計支援システムがどうあるべきかを描き出す。最後に、本論文で扱う設計の範囲を明確にする。

3章では、システムレベルでの事例研究を、Vソートエンジンを設計対象に選んで行った。Vソートエンジンは可変長文字列をソート可能な専用ハードウェアであり、最初にその概略を説明する。システムレベルでの設計の際に用いた、主な設計技法について説明する。Vソートエンジンに関して、既に得られていた動作レベルでの設計結果について述べる。この後、順を追って詳細な設計過程について説明する。Vソートエンジンの設計は、動作レベルの設計結果を出発点に、3つの段階を経て行われている。すなわち、機能レベルの初期設計、システムレベルでの改良、機能レベルの最終設計という3段階を経ている。最初に、初期設計として行われた機能レベルのスケジューリングについて述べる。この段階では、十分な速度を得ることはできなかった。次に、システムレベルで加えられた改良点について説明する。その際、メモリ分割、キャッシュ、フォワーディングと呼ばれる3つの設計技法を用いた。再度機能設計を行うことにより、Vソートエンジンの機能設計は完了した。完成した機能レベルでの設計結果は、データパスの構成とその土での操作とに分けて記述されている。最後に、この事例研究を通じて得られた、システムレベルの設計支援に求められる機能について述べる。ここで行った設計では、3つの設計技法を組み合わせることにより始めて、十分な速度を得ることができた。複数技法の援用を支援できることは、設計支援システムにおける重要な機能の1つであることが明らかになった。

4章では、多相方式のデジタル回路を設計対象とした設計手法について述べる。最初に、多相方式が持つ高速度という特徴から、ASIC設計において多相方式を設計対象とした設計支援が望まれることを述べる。次に、従来行われてきた関連する研究について、ここで提案される設計手法との比較を行いながら述べる。多相方式について詳しく説明した後、多相方式を対象とした設計手法の提案を行う。この設計手法は、単相の回路を設計入力とし、それを多相の回路に自動

変換するものである。変換と同時に高速化設計が施される。次に、設計対象となる多相方式の回路に対し、数学的に厳密なモデル化を行う。提案された手法を実現するには、多相最適化問題を解く必要がある。回路モデルを用いて多相最適化問題を厳密に述べる。この問題を解くための最適化アルゴリズムを考案し、その導出過程を詳細に説明する。このアルゴリズムは発見的手法を用いており、多項式時間で終了することができる。用いた発見的手法の基本的な考え方についても説明を加える。最後に、簡単な設計例にアルゴリズムを適用し、アルゴリズムの評価を試みた。ここで述べた最適化アルゴリズムで設計された回路は、従来手法による設計結果と比べて、1割程度の高速化がなされていた。この設計例により、アルゴリズムの有効性を示すことができた。

最後に5章では、本研究で得られた結果のまとめを行うとともに、残された研究課題について述べる。

本研究では、ASICを設計対象としたシステムレベル設計の支援システムを構築する際、複数設計技法の援用を支援する機能が必要不可欠であることを明かにした。また、多相方式のデータパスの設計を行う際に必要となる設計手法を提案し、その手法を実現する最適化アルゴリズムを開発した。設計例により、アルゴリズムがASIC設計に際して有効であることを明かにした。

## 学位論文審査の要旨

|    |    |    |    |
|----|----|----|----|
| 主査 | 教授 | 田中 | 譲  |
| 副査 | 教授 | 青木 | 由直 |
| 副査 | 教授 | 栃内 | 香次 |
| 副査 | 教授 | 三好 | 克彦 |

システムレベルでの専用VLSIの設計は、現在、設計者の経験と知識に大きく依存している。また、専用VLSIの機能設計では、高速な回路を短期間で設計できるように、より高品質な自動設計手法の開発が望まれている。

本論文は、高速な専用VLSIを設計するための手法を、システムレベルおよび機能レベルで研究したものであり、動作速度を決定する因子がシステム・レベルの設計ではメモリ・アクセス間の依存関係にあり、機能レベルではラッチの配置にあることに注目して、各々のレベルにおいて、高速動作のための準最適設計のアルゴリズムを提案している。

システムレベル設計に関してはその研究が最近開始されたばかりであり、いくつかの設計技法が個別に知られているのみである。本論文で著者は、設計事例としてVソートエンジンと呼ばれる可変長文字列集合のソーティング・ハードウェアを取上げ、その高速動作に関してメモリ分割、キャッシュ・メモリの採用、フォワーディングの3つの高速化手法を提案し、それらの適用を試みている。この事例研究により、システムレベル設計における動作速度を決定する主要因子がメモリのアクセス動作間の依存性であることを明らかにしている。さらに、メモリ分割、キャッシュ・メモリの採用、フォワーディングの3つの高速化手法がすべてメモリのアクセス動作間の依存性を表すグラフの変換操作として定式化できることを明らかにしている。そこで著者は、メモリ・アクセスの依存関係のみを考慮した場合の最適設計問題をシグナル・フローグラフを用いて定式化し、準最適設計を与える変換操作を求める発見的アルゴリズムを提案している。

機能設計に関しては、80年代から多くの研究がなされてきているが、高速性に優れた多相回路の設計に関しては、1980年代後半になって研究が開始されたばかりで、パイプライン処理を設計対象としたステージ分割法と、チェイニングとマルチサイクルを考慮に入れたスケジューリング・アルゴリズムと、制御信号生成部を対象としたアルゴリズムとの3種の手法が提案されているのみであった。ステージ分割法はループを含む回路の設計には適用できない。スケジューリング法はチェイニングとマルチサイクルを同時に適用することができないという制限を持つ。制御信号生成部を対象としたアルゴリズムでは基本素子はゲートであり、マクロ機能素子を基本要素として用いる回路の設計には適さない。

これに対し本論文は、マクロ機能素子を基本要素として用い、ループも許した多相回路において、チェイニングとマルチサイクルの同時適用も許した際の準最適設計を求めるアルゴリズムを提案している。著者は多相方式回路の設計入力として単相方式で設計された回路を用いることを提案している。この単相方式回路は最適設計されている必要はない。著者は単相方式回路と多相方式回路との間の等動作関係の概念を新たに導入し、これを2つの条件で表現して定式化している。さらにこの定式化に基づいて、回路の経路に沿ったポテンシャル関数を新たに定義することによって、ラッチがある位置に挿入される際のラッチのポテンシャルを定義した。このポテンシャルを用いることによって、等動作条件と回路の実現条件とを関連付けている。このような定式化によって、実現可能な準最適多相回路を求めるアルゴリズムが、最短経路問題を解くためのアルゴリズムである Bellman-Ford アルゴリズムを拡張することにより得られることを示している。このアルゴリズムを実例に適用した結果、近年提案された準最適設計手法に比してもさらに1割程度高速な回路が実現できたことが報告されている。

これを要するに、著者は、高速な専用 VLSI を設計する際に重要となる設計支援に関して、システムレベルおよび機能レベルにおける設計手法の提案を行い、専用 VLSI 設計に関する有益な知見を得ており、計算機工学の進歩に貢献するところ大なるものがある。

よって著者は博士（工学）の学位を授与される資格あるものと認める。